

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030009207 A

(43)Date of publication of application: 29.01.2003

(21)Application number: 1020020042255
 (22)Date of filing: 19.07.2002
 (30)Priority: 19.07.2001 JP 2001
 2001219264

(71)Applicant: MATSUSHITA ELECTRIC
 INDUSTRIAL CO., LTD.
 (72)Inventor: MORI YOSHIHIRO
 OGAWA HISASHI
 TSUZUMITANI AKIHIKO

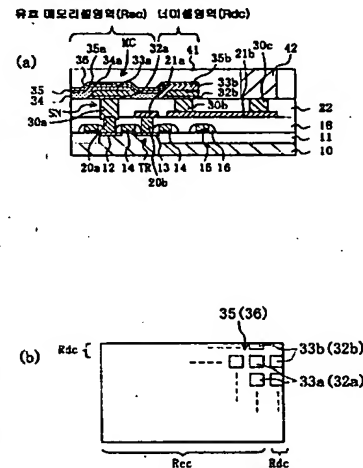
(51)Int. Cl. H01L 27/108

(54) SEMICONDUCTOR MEMORY DEVICE AND FABRICATING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor memory device and a fabricating method thereof are provided to prevent the characteristic of a capacitive insulation film from being deteriorated by exposing an upper electrode to a reducing atmosphere.

CONSTITUTION: A bit line(21a) connected to a bit line plug and a local interconnection(21b) are formed on the first interlayer insulation film. A contact is not formed on a Pt film(35) constituting the upper electrode, and a dummy lower electrode (33b) is in direct contact with a dummy barrier metal(32b). The upper electrode is connected to an upper layer interconnection (Cu interconnection)(42) by the dummy lower electrode, a dummy cell plug(30b) and the local interconnection.



&copy; KIPO 2003

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)



특 2003-0009207

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/108

(11) 공개번호 특 2003-0009207
(43) 공개일자 2003년 01월 29일

(21) 출원번호 10-2002-0042255
(22) 출원일자 2002년 07월 19일
(30) 우선권주장 JP-P-2001-00219264 2001년 07월 19일 일본(JP)
(71) 출원인 마츠시타 덴끼 산교 가부시키가이샤
(72) 발명자 일본 오오사카후 가도마시 오오마자 가도마 1006
오가와히사시
일본국오오사카후가타노시이쿠노3-27-5
모리요시히로
일본국오오사카후네야가와시나리타히가시카오카42-3
츠츠미타니마키히코
일본국오오사카후이바라키시하타케다초10-35-205
(74) 대리인 김영철

심사청구 : 없음

(54) 반도체기억장치 및 그 제조방법

요약

본 발명은 메탈 상부전극을 노출시키는 것에 의한 용량절연막의 특성열화를 방지한 반도체기억장치 및 그 제조방법을 제공하기 위한 것으로, 반도체기억장치인 DRAM의 메모리셀에 있어서, 제 1 층간절연막(18) 상에는 비트선 플러그(20b)에 접속되는 비트선(21a)과 국소배선(21b)이 설치되어 있다. 상부전극(35a)을 구성하는 Pt막(35) 상에 콘택트가 설치되어 있지 않고, 더미하부전극(33b)은 더미배리어메탈(32b)과 직접 접하고 있다. 즉, 더미하부전극(33b), 더미셀 플러그(30) 및 국소배선(21b)에 의해서 상부전극(35a)이 상층배선(Cu 배선(42))에 접속되어 있다. Pt막(35)이 환원성 분위기에서 노출되지 않으므로, 용량절연막(34a)의 특성열화를 방지할 수 있다.

도면

도 1

제 1 실시예

비트선 플러그, 국소배선

공정

도면의 간단한 설명

도 1의 (a), (b)는 각각 순서대로, 본 발명의 제 1 실시예에서의 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도 및 상부전극·더미전극의 구조를 나타내는 평면도.
도 2의 (a)~(c)는 본 발명의 제 1 실시예에서의 반도체기억장치의 제조공정을 나타내는 공정단면도.
도 3의 (a)~(d)는 본 발명의 제 2 실시예에서의 반도체기억장치의 제조공정을 나타내는 공정단면도.
도 4는 본 발명의 제 3 실시예에 관한 반도체기억장치를 나타내는 단면도.
도 5의 (a)~(c)는 제 3 실시예에 관한 반도체기억장치의 제조방법을 나타내는 공정단면도.
도 6은 본 발명의 제 4 실시예에서의 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도.
도 7은 본 발명의 제 5 실시예에서의 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도.
도 8은 본 발명의 제 6 실시예에서의 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도.
도 9는 본 발명의 제 7 실시예에서의 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도.
도 10의 (a)~(c)는 본 발명의 제 7 실시예에서의 반도체기억장치의 제조공정을 나타내는 공정단면도.
도 11은 본 발명의 제 8 실시예에서의 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도.

도 12의 (a)~(c)는 본 발명의 제 8 실시예에서의 반도체기억장치의 제조공정을 나타내는 공정단면도

•도면의 주요 부분에 대한 부호의 설명•

- | | |
|------------------|------------------|
| 8: 전극간 스페이스 | 10: SI기판 |
| 11: 소자분리용 절연막 | 12: 소스영역 |
| 13: 드레인영역 | 14: 게이트절연막 |
| 15: 게이트전극 | 16: 산화막층 |
| 18: 제 1 층간절연막 | 20a: 하층 메모리셀 플러그 |
| 20b: 비트선 플러그 | 20c: 하층 더미셀 플러그 |
| 20d: 하층 배선플러그 | 21a: 비트선 |
| 21b: 국소배선 | 22: 제 2 층간절연막 |
| 30a: 상층 메모리셀 플러그 | 30b: 더미셀 플러그 |
| 30c: 배선플러그 | 32a: 하부 배리어메탈 |
| 32b: 더미배리어메탈 | 33a: 하부전극 |
| 33b: 더미하부전극 | 34: BST막 |
| 34a: 용량절연막 | 35, 36a: Pt막 |
| 35a: 상부전극 | 35b: 상부전극 연장부 |
| 36: 상부 배리어메탈 | 36A: TiAlN막 |
| 37: 하드마스크 | 41: 제 3 층간절연막 |
| 42: Cu 배선 | 51: 상층 비트선 플러그 |
| 52: 절연체막 | 59, 61, 61': 개구 |
| 60: 콘택트홀 | |

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체기억장치 및 그 제조방법에 관한 것으로, 특히, 고유전체막이나 강유전체막을 이용하는 것의 메모리셀 구조에 관한 것이다.

최근, 대용량의 메모리용량과 고속의 데이터 전송속도가 요구되는 멀티미디어기기용으로, 고성능 논리회로에 DRAM을 혼재한 DRAM 혼재 프로세스가 실용화되고 있다.

그러나, 종래의 DRAM 프로세스는 기억용량부가 되는 커패시터의 용량절연막의 형성에 고온의 열처리를 필요로 하기 때문에, 고성능 논리회로에 있어서의 트랜지스터의 불순물 확산층의 불순물 농도 프로파일을 악화시키는 등의 결함이 있다. 또한, DRAM이나 FeRAM 등의 메모리단체 프로세스에서도, 메모리셀 트랜지스터의 미세화를 도모하는 데에는, 가능한 한 고온의 열처리는 피하는 것이 바람직하다.

그래서, 기억용량부의 용량유전체막으로서, 저온에서의 형성이 가능하고 메모리셀 사이즈의 미세화가 가능한 고유전체막을 이용한 MIM(Metal-Insulator-Metal) 커패시터의 개발이 필요로 되어 있다. 이 고유전체막으로서의 BST막($(\text{BaSr})\text{TiO}_3$ 막) 등의 페로브스카이트(perovskite)구조를 갖는 유전체막이 있다. 한편, 이 MIM 커패시터의 메탈 전극을 구성하는 재료로서는 내산화성이 강한 Pt가 일반적으로는 유망시되고 있다. 또한, 강유전체막으로서도 SBT막($\text{SrBi}_2\text{Ta}_2\text{O}_{10}$ 막)이나 BTO막($\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막) 등의 페로브스카이트구조를 갖는 유전체막이 자주 이용된다.

본 발명이 이루고자 하는 기술적 과제

그러나, 종래의 기억용량부가 되는 MIM 커패시터에서는 다음과 같은 결함이 있었다.

우선, 용량절연막 상에 설치된 Pt전극(상부전극)에 직접 콘택트홀을 형성하면, 콘택트 플러그를 형성할 때의 환원분위기 등이 커패시터의 특성에 악영향을 미칠 우려가 있다. 일반적으로, 유전체막은 산화물인 경우가 많으므로, 환원분위기에 의해서 유전체막 중의 산소결손을 일으키는 일 등이 있기 때문이다. 특히, 용량절연막이 유전체막이나 강유전체막인 경우에는, 산소결손을 일으킬 우려가 강하다. 특히, 페로브스카이트구조를 갖는 유전체막에서는, 산소결손에 의한 특성의 열화가 현저히 나타난다.

또한, 종래 Pt전극을 사용하지 않았던 DRAM 등의 디바이스에서는 신규재료인 Pt전극으로의 콘택트 형성 등의 공정에서는 기존의 설비와의 공용화가 어렵고, 전용설비에서의 운용이 필요해진다. 예를 들면, 층간절연막에 Pt전극에 도달하는 콘택트홀을 개구하였을 때 등, Pt전극이 노출되었을 때에는 Pt가 스퍼터링되기 때문에, 챔버의 벽면이나 챔버 내의 부재 등에 Pt가 부착되어 있다. 이 챔버를 그대로 사용하면, 트랜

지스터의 활성영역 등에 Pt가 침입하여, 트랜지스터 동작에 악영향을 미칠 우려가 있기 때문이다.

본 발명의 목적은 유전체막의 열화를 억제함과 동시에 전극재료가 트랜지스터영역으로 혼입되는 것을 막는 수단을 강구함으로써, NIM 커패시터의 특성이 좋은 반도체기억장치 및 그 제조방법을 제공하는 것에 있다.

또한, 본 발명은 전용설비를 필요로 하지 않음으로써 제조 비용을 절감할 수 있는 반도체기억장치 및 그 제조방법을 제공하는 것을 목적으로 하고 있다.

본 발명의 구성 및 작용

본 발명의 반도체기억장치는 반도체기판 상의 절연층 상에 설치되고, 하부전극, 상부전극 및 하부전극과 상부전극과의 사이에 개재하는 용량절연막으로 구성된 기억용량부와, 상기 기억용량부의 상기 상부전극에 연속하여 설치된 상부전극 연장부와, 상기 상부전극 연장부의 아래에 적어도 일부가 접하도록 설치된 더미도체부재와, 상기 더미도체부재에 전기적으로 접속되는 상충배선을 구비하고 있다.

이에 따라, 상부전극 연장부, 더미하부전극(33b), 더미도체부재를 통해 상부전극이 상충배선에 접속되기 때문에, 상부전극의 상부에 컨택트홀을 형성할 필요가 없어지고, 상부전극이 환원분위기에 노출되는 공정이 불필요하게 된다. 그 때문에, 예를 들면, BST로 이루어지는 용량절연막에 산소결손을 일으킬 우려가 없어져 용량절연막의 특성열화를 막을 수 있다. 또한, 예를 들어, Pt로 전극을 형성하는 경우, 하부전극, 더미도체부재나 상부전극의 형성은 Pt막 형성공의 전용설비로 하기 때문에, 논리회로소자를 형성하기 위한 장치가 오염될 우려가 없어진다.

상기 더미도체부재는 상기 절연막에 설치된 트렌치(trench)를 채우는 도체막을 포함하고 있어도 된다.

상기 더미도체부재는 상기 절연층 아래의 상기 반도체기판 상에 설치된 국소배선과, 상기 절연층을 관통하여 상기 상부전극 연장부와 상기 국소배선을 전기적으로 접속하는 플러그를 추가로 포함하고 있어도 된다.

상기 절연층을 끼워 상기 기억용량부의 하부에 형성된 비트선을 추가로 구비하고, 상기 국소배선은 상기 비트선과 같은 도체막으로부터 형성됨으로써, 비트선용의 도체막을 이용하여 비트선 하부설치형 메모리에 적합한 구조를 얻을 수 있다.

평면적으로 보아, 상기 상부전극 연장부의 적어도 일부는 상기 도체플러그와 오버랩함으로써, 상기 상부전극과 상기 상충배선이 확실히 접속된다.

상기 절연층의 하방에서 반도체기판 상에 설치된 소자분리용 절연막과 상기 반도체기판의 상기 소자분리용 절연막에 의해서 둘러싸인 영역에 설치되어, 게이트전극과 상기 반도체기판 내에서 상기 게이트전극의 양측의 영역에 설치된 불순물 확산층을 갖는 메모리셀 트랜지스터와, 상기 소자분리용 절연막 상에 설치되어, 상기 게이트전극과 같은 도체막으로 형성된 국소배선과, 상기 절연층을 관통하여 상기 국소배선에 접속되는 도체플러그를 추가로 구비함으로써, 게이트전극용의 도체막(폴리실리콘막 등)을 이용하여, 비트선 하부설치형의 메모리와 비트선 상부설치형의 메모리와 양쪽에 적용할 수 있는 구조를 얻을 수 있다.

상기 반도체기판에 설치되어, 게이트전극과 상기 반도체기판 내에서 상기 게이트전극의 양측에 설치된 불순물 확산층을 갖는 메모리셀 트랜지스터와, 상기 반도체기판의 상기 불순물 확산층과는 간격을 두고 설치된 다른 하나의 불순물 확산층으로 형성된 국소배선과, 상기 절연층을 관통하여 상기 국소배선에 접속되는 도체플러그를 추가로 구비함으로써, 소스·드레인영역을 형성하기 위한 프로세스를 이용하여 비트선 하부설치형의 메모리와 비트선 상부설치형의 메모리와 양쪽에 적용할 수 있는 구조를 얻을 수 있다.

상기 상충배선은 상기 더미하부전극에 접속하고 있음으로써, 비교적 간단한 구조로, 비트선 하부설치형의 메모리와 비트선 상부설치형의 메모리와 양쪽에 적용할 수 있는 구조를 얻을 수 있다.

상기 기억용량부는 통형상의 하부전극, 용량절연막 및 상부전극을 가짐으로써, 비교적 고밀도로 메모리셀을 배치한 반도체기억장치를 얻을 수 있다.

상기 용량절연막은 고유전체막 또는 강유전체막인 것이 바람직하다.

본 발명의 제 1 반도체기억장치의 제조방법은 하부전극, 상부전극 및 하부전극과 상부전극과의 사이에 개재하는 용량절연막으로 구성된 기억용량부와, 상기 기억용량부의 상기 상부전극에 전기적으로 접속되는 상충배선을 구비하고 있는 반도체기억장치의 제조방법에 있어서, 반도체기판 상에 국소배선을 형성하는 공정 (a)와, 상기 공정 (a) 후에, 상기 반도체기판 상에 제 1 도체막을 형성하는 공정 (b)와, 상기 제 1 도체막을 패터닝하여, 적어도 상기 하부전극을 형성하는 공정 (c)와, 상기 하부전극을 덮는 상기 용량절연막이 되는 유전체막을 형성하는 공정 (d)와, 상기 공정 (d) 후에, 상기 반도체기판 상에 제 2 도체막을 형성하는 공정 (e)와, 상기 제 2 도체막을 패터닝하여, 상기 하부전극의 전체를 덮는 상기 상부전극과, 상기 국소배선의 적어도 일부를 덮는 상기 상부전극과 연속하는 상부전극 연장부를 일체화 형성하는 공정 (f)와, 상기 공정 (f) 후에, 상기 반도체기판 상에 적어도 상기 국소배선 및 상기 상부전극 연장부를 통해 상기 상부전극에 전기적으로 접속되는 상기 상충배선을 형성하는 공정 (g)를 포함하고 있다.

이 방법에 의해, 상부전극을 국소배선이나 상부전극 연장부를 통해 상충배선에 접속시키는 것이 가능하게 되므로, 종래와 같이 제조공정에서 상부전극 상에 컨택트홀을 설치할 필요가 없어져, 용량절연막이 환원되는 것을 막을 수 있다.

상기 공정 (a) 후, 상기 공정 (b) 전에, 상기 국소배선을 포함하는 상기 반도체기판 상에 제 1 절연막을 형성하는 공정 (a2)와, 상기 제 1 절연막을 관통하여 함께 상기 국소배선에 전기적으로 접속하는 제 1 도체플러그 및 제 2 도체플러그를 형성하는 공정 (a3)을 추가로 포함하며, 상기 공정 (f)에서는 상기 상부전극 연장부가 상기 제 1 도체플러그의 적어도 일부를 덮도록 형성하고, 상기 공정 (g)에서는 상기 반도체기판 상에 제 2 절연막을 형성한 후, 상기 제 2 절연막에 상기 제 2 도체플러그까지 도달하는 배선 매

셀용 트렌치를 형성하며, 상기 트렌치에 도전막을 매설하여 상기 상층배선을 형성함으로써, 본 발명의 반도체기억장치를 실현할 수 있다.

상기 공정 (a)에서, 상기 국소배선은 비트선과 같은 도체막으로 이루어져, 상기 비트선과 동시에 형성함으로써, 본 발명의 반도체기억장치를 적은 공정으로 제조할 수 있다.

상기 공정 (a)에서, 상기 국소배선은 메모리 트랜지스터의 게이트전극과 같은 도체막으로 이루어져, 상기 게이트전극의 형성과 동시에 형성함으로써 본 발명의 반도체기억장치를 적은 공정으로 제조할 수 있다.

상기 공정 (a)에서는 상기 국소배선은 메모리 트랜지스터의 소스 · 드레인영역과 같은 불순물 확산층으로 이루어져, 상기 소스 · 드레인영역의 형성과 동시에 상기 소스 · 드레인영역과는 간격을 두고 형성되도록 된다.

상기 공정(a)에서는 상기 반도체기판 상에 형성된 제 1 절연막에 메모리셀 트랜지스터의 소스영역에 전기적으로 접속되는 메모리셀 플러그를 형성하는 동시에, 상기 국소배선을 형성하는 경우에도, 본 발명의 반도체기억장치의 제조프로세스를 적게 할 수 있다.

상기 공정 (c)는, 상기 하부전극과 간격을 두고, 상기 국소배선의 적어도 일부를 덮는 상기 제 1 도전막으로 이루어지는 더미하부전극을 형성하는 공정을 포함하며, 상기 국소배선과 상기 상부전극 연장부는 상기 더미하부전극을 통해 전기적으로 접속됨으로써, 더미하부전극을 설치하는 경우라도 본 발명의 반도체기억장치를 용이하게 제조할 수 있다.

상기 공정 (d)에서는 상기 하부전극 및 상기 더미하부전극을 덮는 상기 유전체막을 형성하고, 상기 공정 (e)에서는 상기 유전체막을 덮는 상기 제 2 도체막을 형성하며, 상기 공정 (f) 후, 상기 공정(g) 전에, 상기 상부전극 및 상기 상부전극 연장부를 형성할 때와 같은 에칭 마스크를 이용하여 상기 유전체막을 패터닝하여 용량절연막용 유전체막을 형성하는 공정과, 상기 용량절연막용 유전체막 중 적어도 상기 더미하부전극과 상기 상부전극 연장부와의 사이에 위치하는 부분을 에칭하여 전극간 스페이스를 형성하는 동시에 상기 용량절연막을 형성하는 공정과, 상기 전극간 스페이스 상의 상기 상부전극 연장부를 열처리에 의해 변형시켜, 상기 상부전극 연장부와 상기 더미하부전극을 접속시키는 공정을 추가로 포함함으로써, 공정 (i)와 공정 (g) 사이의 열처리에 의해서 상부전극과 상층배선이 전기적으로 접속된다. 그 때문에, 제 2 공정 중에 상부전극이 환원분위기에 노출되는 일이 없어, 용량절연막의 열화도 막을 수 있다.

상기 공정 (a) 후, 상기 공정 (b) 전에, 상기 국소배선을 포함하는 상기 반도체기판 상에 제 1 절연막을 형성하는 공정 (a4)와, 함께 상기 제 1 절연막을 판통하여 상기 국소배선에 전기적으로 접속하는 제 1 도체플러그 및 제 2 도체플러그를 형성하는 공정 (a5)와, 상기 공정 (a5) 후에, 상기 반도체기판 상에 단차용 절연막을 형성하는 공정 (a6)과, 상기 단차용 절연막에 상기 기억용량부의 상기 하부전극을 형성하기 위한 제 1 개구부와, 상기 제 1 도체플러그에 접속되는 더미하부전극을 형성하기 위한 제 2 개구부를 형성하는 공정 (a7)을 추가로 포함하며, 상기 공정 (c)에서는 상기 제 1 개구부의 측면 및 저면 상에 상기 하부전극을 형성함과 동시에 상기 제 2 개구부의 측면 및 저면 상에 상기 더미하부전극을 형성하고, 상기 공정 (f)에서는 상기 상부전극 연장부가 상기 더미하부전극의 적어도 일부를 덮도록 형성하며, 상기 공정 (g)에서는 상기 반도체기판 상에 제 2 절연막을 형성한 후, 상기 제 2 절연막 및 상기 단차용 절연막에 상기 제 2 도체플러그까지 도달하는 배선 매설용 트렌치를 형성하고, 상기 트렌치에 도전막을 매설하여 상기 상층배선을 형성함으로써, 예를 들면, 디마신 법에 의해 설치된 상층배선과 상부전극을 전기적으로 접속시킬 수 있다.

상기 유전체막은 고유전체막 또는 강유전체막인 것이 반도체기억장치를 실현하는 데에 바람직하다.

(실시예)

(제 1 실시예)

본 실시예에서는 본 발명을 비트선이 기억용량부보다도 하방에 설치되어 있는 이른바 비트선 하부설치형의 DRAM 메모리셀 구조에 적용한 예에 대해서 설명한다.

도 1의 (a), (b)는 각각 순서대로 본 발명의 제 1 실시예에서의 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도 및 상부전극 · 더미전극의 구조를 나타내는 평면도이다. 또한, 도 2의 (a)~(c)는 본 실시예에서의 반도체기억장치의 제조공정을 나타내는 단면도이다. 이하, 본 실시예에서의 반도체기억장치의 구조와 제조방법에 대하여 순서대로 설명한다. 여기서, 본 실시예의 각 도면에서는 메모리부의 구조만을 나타내지만, 본 실시예의 반도체기억장치는 도시되어 있지 않은 논리회로부에서 논리회로소자가 설치되어 있는 폰재형 디바이스이다. 단, 논리회로소자의 구조 자체는 직접 본 발명의 본질과는 관계가 없으므로, 도시를 생략한다.

-메모리셀의 구조-

도 1에 나타낸 바와 같이, 본 실시예의 반도체기억장치인 DRAM의 메모리 셀에서, p형의 Si기판(10)의 상면부에는 활성영역을 둘러싸는 소자분리용 절연막(11)과, n형 불순물을 도입하여 형성된 소스영역(12) 및 드레인영역(13)이 서로 간격을 두고 설치되어 있다. 또, p형의 Si기판(10) 중 소스영역(12)과 드레인영역(13)과의 사이에 개재하는 부분이 채널영역으로서 기능한다. 또한, Si기판(10)의 활성영역 상에서, 소스영역(12)과 드레인영역(13)과의 사이에는 산화실리콘으로 이루어지는 게이트절연막(14)이 설치되고, 게이트절연막(14) 상에는 폴리실리콘으로 이루어지는 게이트전극(15)(워드선의 일부)이 설치되며, 게이트전극(15)의 측면 상에는 산화막층(16)이 설치되어 있다. 상기 소스영역(12), 드레인영역(13), 채널영역, 게이트절연막(14) 및 게이트전극(15)에 의해 메모리셀 트랜지스터(TR)가 형성되어 있다. 또, 도 1의 (a)에 나타낸 단면에서는, 메모리셀 트랜지스터(TR)의 게이트로서 기능하지 않는 게이트전극(15)이 나타나 있지만, 이들은 도 1과는 다른 단면에서는, 메모리셀 트랜지스터(TR)의 게이트로서 기능하고 있다. 그리고, 각 게이트전극(15)은 지면에 거의 직교하는 방향으로 연장되어, DRAM의 워드선으로 되어 있다.

또한, Si기판(10) 상에는 소자분리용 절연막(11), 게이트전극(15) 및 산화막층(16)을 덮는 BPSG로 이루어지는 제 1 층간절연막(18)이 설치되어 있고, 제 1 층간절연막(18)을 판통하여 소스영역(12)에 도달하는

W(텅스텐)로 이루어지는 하층 메모리셀 플러그(20a)와, 제 1 층간절연막(18)을 관통하여 드레인영역(13)에 도달하는 비트선 플러그(20b)가 설치되어 있다. 또한, 제 1 층간절연막(18) 상에는 비트선 플러그(20b)에 접속되는 W/Ti의 적층막으로 이루어지는 비트선(21a)과, 비트선(21a)과는 W/Ti의 적층막으로 이루어지는 국소배선(21b)이 설치되어 있다. 또한, 제 1 층간절연막(18) 상에는, 예를 들면, NSG(도핑되지 않은 SiO₂)로 이루어지는 제 2 층간절연막(22)이 설치되어 있다. 그리고, 제 2 층간절연막(22)을 관통하여 하층 메모리셀 플러그(20a)에 도달하는 상층 메모리셀 플러그(30a)와, 제 2 층간절연막(22)을 관통하여 국소배선(21b)에 도달하는 더미셀 플러그(30b)와, 제 2 층간절연막(22)을 관통하여 국소배선(21b)에 도달하는 배선플러그(30c)가 설치되어 있다.

또한, 상층 메모리셀 플러그(30a) 상에는 TiAlN으로 이루어지는 하부 배리어메탈(32a)이 추가로 설치되고, 더미셀 플러그(30b) 상에는 TiAlN으로 이루어지는 더미배리어메탈(32b)이 설치되어 있다. 또한, 하부 배리어메탈(32a) 상에는 Pt로 이루어지는 하부전극(33a)이 형성되고, 더미배리어메탈(32b) 상에는 더미하부전극(33b)이 형성되어 있다. 또한, 하부전극(33a) 및 제 2 층간절연막(22) 중 하부전극(33a)의 양측방을 덮는 BST막(BaSr TiO₂ 막)(34)과 BST막(34)으로부터 더미배리어메탈(32b)까지를 덮는 Pt막(35)과, Pt막(35)을 덮는 TiAlN으로 이루어지는 상부 배리어메탈(36)이 설치되어 있다.

BST막(34) 중 하부전극(33a)에 접하는 부분이 용량절연막(34a)이다. 또한, Pt막(35) 중 하부전극(33a)에 대항하는 부분이 상부전극(35a)이고, Pt막(35) 중 더미하부전극(33b)에 접하는 부분이 상부전극 연장부(35b)이다. 상기 하부 배리어메탈(32a) 및 하부전극(33a)에 의해 DRAM 메모리셀의 스토리지 노드(SN)가 구성되어 있다. 또한, 하부전극(33a), 용량절연막(34a) 및 상부전극(35a)에 의해 기억용량부(MC)가 구성되어 있다.

또한, 제 2 층간절연막(22) 및 상부 배리어메탈(36) 상에는 FSG로 이루어지는 제 3 층간절연막(41)이 설치되어 있고, 제 3 층간절연막(41)에는 배선플러그(30c)에 접속하는 Cu 배선(42)이 매설되어 있다. 즉, 상부전극(35a)은 상부전극 연장부(35b) 및 더미도체부재를 통해 Cu 배선(42)에 전기적으로 접속되어 있다. 여기서, 더미도체부재란, 각각 도체로 이루어지는 더미배리어메탈(32b), 더미하부전극(33b), 더미셀 플러그(30b), 국소배선(21b) 및 배선플러그(30c)를 의미한다.

또한, 도 1의 (a), (b)에 나타내는 구조에서, 기억용량부(MC), 스토리지 노드(SN), 메모리셀 트랜지스터(TR) 등을 포함하는 유효 메모리셀 영역(Rec)과, 더미하부전극(33b), 상부전극 연장부(35b), 더미셀 플러그(30b) 등을 포함하는 더미셀영역(Rdc)이 존재하게 된다.

본 실시예의 특징은 상부전극(35a) 또는 상부전극 연장부(35b)(상부 배리어메탈(36))에 접속하는 플러그가 설치되어 있지 않고, 더미하부전극(33b), 더미배리어메탈(32b), 더미셀 플러그(30b) 및 국소배선(21b)에 의해서 상부전극(35a)이 상층의 배선(Cu 배선(42))에 접속되어 있는 점이다.

그리고, 도 1의 (b)에 나타내는 바와 같이, 상부전극(35a)을 구성하는 Pt막(35)(상부 배리어메탈(36))은 다수의 메모리셀에 의해서 공유화되어 있고, Pt막(35)의 하방에는 다수의 하부전극(33a)(하부 배리어메탈(32a))과, 더미하부전극(33b)(더미배리어메탈(32b))이 설치되어 있다. 더미하부전극(33b)(더미배리어메탈(32b))은 Pt막(35)의 하방으로 복수개 설치되어 있지만, Pt막(35)의 단부 중 어느 하나의 일부의 하방에 적어도 하나 설치되어 있으면, 상부전극(35a)과 더미하부전극(33b)이 전기적으로 접속된다.

본 실시예에 의하면, 상부전극을 구성하고 있는 Pt막(35)(상부 배리어메탈(36))에 접속하는 플러그가 존재하지 않기 때문에, 제 3 층간절연막(41)에 플러그를 매설하기 위한 컨택트홀을 형성할 필요가 없다. 따라서, 층들의 구조와 같이, 상부전극에 컨택트홀을 형성하기 위한 건식 에칭(플라즈마에칭)공정에서, 상부전극을 구성하는 Pt막이 노출되는 일이 없다. 즉, Pt막이 노출되어 있는 상태에서 환원분위기에 노출되면, BST 등으로 이루어지는 용량절연막(특히 고유전체막)에 산소결손을 일으킬 우려가 있다. 여기서, 본 실시예와 같이 Pt막 상에 TiAlN으로 이루어지는 상부 배리어메탈이 설치되어 있어도, 상부 배리어메탈은 얇은 것, 컨택트홀의 에칭시에는 통상 오버에칭이 행하여지기 때문에 컨택트홀이 Pt로 이루어지는 상부전극에 도달할 가능성이 큰 것 등을 고려하면, 상부 배리어메탈에 용량절연막의 산소결손의 방지기능을 기대할 수는 없다. 그에 대하여, 본 실시예에서는, Pt막(35)의 상방에 컨택트홀이 형성되지 않기 때문에, Pt막이 환원성 분위기에 노출되는 것에 기인하는 용량절연막(34a)의 산소결손을 확실히 피할 수 있다.

또한, 제 3 층간절연막(41)에 컨택트홀을 개구하는 공정에서, Pt막(35)이 노출되는 일이 없기 때문에, 컨택트홀을 형성하기 위한 에칭을 논리회로소자를 형성하기 위한 프로세스 등과 같은 장치(챔버 등) 내에서 행할 수 있다. 또, Pt로 이루어지는 하부전극(33a), 더미하부전극(33b)이나, 상부전극(35a)의 형성 자체는 Pt막 형성용의 전용설비로 행하기 때문에, 논리회로소자를 형성하기 위한 장치를 오염시킬 우려는 근본적으로 생기지 않는다.

-메모리셀의 제조방법-

다음에, 본 실시예에서 반도체기억장치의 메모리셀의 제조공정에 대해서, 도 2의 (a)~(c)를 참조하면서 설명한다.

도 2의 (a)에 나타내는 공정에서, 이하의 처리를 행한다. 우선, p형의 Si기판(10)에 활성영역을 둘러싸는 소자분리용 절연막(11)을 형성하고, 활성영역에 소스영역(12) 및 드레인영역(13), 게이트절연막(14), 게이트전극(15), 산화막 측벽(16)으로 이루어지는 메모리셀 트랜지스터를 형성한다. 이 메모리셀 트랜지스터의 형성공정은 열산화, 폴리실리콘막의 형성 및 패터닝, 이온주입 등의 주지의 기술을 이용하여 주지의 순서대로 행해진다.

다음에, 메모리셀 트랜지스터 상에, BPSG막을 퇴적한 후, 어닐과 CMP(화학기제적 연마)에 의한 평탄화를 행하여 제 1 층간절연막(18)을 형성한다. 또한, 제 1 층간절연막(18)을 관통하여 소스영역(12), 드레인영역(13)에 각각 도달하는 컨택트홀을 형성한다. 다음에, 컨택트홀 내 및 제 1 층간절연막(18) 상에 r형 폴리실리콘막을 형성한 후, CMP에 의해 평탄화를 행함으로써, 각 컨택트홀에 폴리실리콘막을 매설하여 하층 메모리셀 플러그(20a)와 비트선 플러그(20b)를 형성한다.

다음에, 제 1 층간절연막(18) 상에 W/Ti 적층막을 퇴적한 후, 에칭에 의해 W/Ti 적층막을 패터닝하여 비트선 플러그(20b)에 접속되는 비트선(21a)과, 이 단계에서는 다른 부재와 접속되지 않고 고립되어 있는 국소배선(21b)을 형성한다. 그 때, W 막의 패터닝 시에는 Ti 막의 표면이 노출되었을 때를 검출하여 W 막의 에칭 종료시기를 판정하고, Ti 막의 패터닝 시에는 폴리실리콘으로 이루어지는 하층 메모리셀 플러그(20a)에 대하여 높은 선택비를 얻을 수 있는 조건으로 에칭을 행한다.

다음에, 기판 상에 NSG (도핑되지 않은 실리콘이트 유리)막을 퇴적한 후, CMP(화학기계적 연마)에 의한 평탄화를 행하여 제 2 층간절연막(22)을 형성한다. 또한, 제 2 층간절연막(22)을 관통하여 하층 메모리셀 플러그(20a)와 국소배선(21b)(2개소)에 각각 도달하는 콘택트홀을 형성한다. 다음에, 콘택트홀 내에 W 막을 형성한 후, CMP에 의해 평탄화를 행함으로써, 각 콘택트홀에 W 막을 매설하여, 하층 메모리셀 플러그(20a)에 접속되는 상층 메모리셀 플러그(30a)와 2개소에서 국소배선(21b)에 각각 접속하는 더미셀 플러그(30b) 및 배선플러그(30c)를 형성한다.

다음에, 제 2 층간절연막(22) 상에 두께가 약 30nm인 TiAlN 막과 두께가 약 50nm인 Pt 막을 순서대로 퇴적한다. 그리고, TiAlN 막과 Pt 막을 패터닝함으로써, 제 2 층간절연막(22) 상에 메모리셀 플러그(30a)에 접속되는 하부 배리어메탈(32a) 및 그 위의 Pt 로 이루어지는 하부전극(33a)과 더미셀 플러그(30b)에 접속되는 더미배리어메탈(32b) 및 그 위의 더미하부전극(33b)을 형성한다. 여기서, Pt 막을 패터닝할 때에는 하지(下地)인 TiAlN 막에 대하여 높은 선택비를 얻을 수 있는 조건으로 에칭을 행하고, TiAlN 막을 패터닝할 때에는 하지인 W 로 이루어지는 상층 메모리셀 플러그(30a)가 파내려가지 않도록 선택비가 높은 조건으로 에칭을 행한다.

다음에, 도 2(b)에 나타내는 공정에서, 제 2 층간절연막(22), 하부전극(33a) 및 더미하부전극(33b)을 덮는 두께가 약 30nm인 BST 막(BaSr TiO_3 막)을 형성한 후, 더미하부전극(33b)을 노출시키도록 BST 막을 패터닝하여, 하부전극(33a)을 덮는 용량절연막(34a)이 되는 BST 막(34)을 형성한다.

이어서, BST 막(34) 및 더미하부전극(33b) 상에 두께가 약 50nm인 Pt 막과 두께가 약 6nm인 TiAlN 막과 SiO_2 막을 순서대로 퇴적한다. 그리고, SiO_2 막을 패터닝하여 하드마스크(37)를 형성한 후, 하드마스크(37)를 이용한 건식 에칭에 의해, TiAlN 막과 Pt 막을 순서대로 패터닝하여, 유효 메모리셀영역(Rec) 및 더미셀영역(Rdc)을 덮는 상부 배리어메탈(36)과, 상부전극(35a) 및 상부전극 연장부(35b)를 포함하는 Pt 막(35)을 형성한다.

다음에, 도 2(c)에 나타내는 공정에서, 회불산액에 의한 습식 에칭에 의해 하드마스크(37)를 제거한 후, 기판 상에 TEOS 막을 퇴적하고, CMP에 의해 평탄화함으로써, 제 3 층간절연막(41)을 형성한다. 다음에, 제 3 층간절연막(41)에 배선플러그(30c)에 도달하는 트렌치를 형성하고 나서, 트렌치로의 Cu 배선(42)의 매설(다마신법) 등을 행함으로써, 도 1의 (a)에 나타내는 메모리셀의 단면구조를 얻을 수 있다.

본 실시예에서의 제조방법에 의하면, 종래의 프로세스에서의 포토리소그래피공정을 증가시키지 않고, 제 3 층간절연막(41)을 관통하여 Pt 막(35)(상부 배리어메탈(36)) 상에 도달하는 콘택트홀을 형성하는 공정을 피할 수 있다. 즉, 제 3 층간절연막(41)에 배선 매설용 트렌치를 형성하는 경우 등, 일반적으로 Cu 배선의 형성공정에서는, 환원분위기에서의 어닐이 자주 이용된다. 따라서, 상부 배리어메탈(36) 상에 콘택트홀이 형성되면, 수소가 많은 상부 배리어메탈(36)을 통하여, 혹은 오버 에칭에 의해 Pt 막(35)이 노출된 경우에는 직접 Pt 막(35)에 접촉하므로, 수소가 Pt 막(35)을 통과하여 BST 막(34)에 도달하는 경우가 있다. 그 경우, BST 막(34) 중의 산소가 손실되어 산소결손을 일으키는 등, 용량절연막(34a)의 특성 열화를 초래할 우려가 있다. 그에 대하여, 본 실시예와 같이, Pt 막(35) 상에 도달하는 콘택트홀을 형성하는 공정을 피함으로써, 이러한 원인에 의한 용량절연막(34a)의 특성 열화를 확실히 억제할 수 있다. 그리고, Cu 배선(42)을 형성하는 공정은 종래의 상부전극에 플러그를 형성하는 공정에 대응하고, 국소배선(21b)이나 배선플러그(30c)의 형성은 메모리셀을 형성하는 공정을 이용하여 실시할 수 있으므로, 종래의 프로세스 요건대, Pt 막(상부 배리어메탈) 상에 직접 플러그를 설치하는 프로세스보다도 포토리소그래피공정이 증가하는 일은 없다.

또, 본 실시예에서는, 상부전극(35a) 및 하부전극(33a)을 Pt 에 의해 구성하고, 상부 배리어메탈(36)을 TiAlN 에 의해 구성하였지만, 이들의 부재를 내산화성을 가지는 다른 도체재료에 의해 구성해도 된다. 또한, 용량절연막(34a)을 BST 에 의해 구성하였지만, 다른 고유전체재료에 의해 구성해도 된다. 특히, 구조식이 ABO_3 으로 나타나는 페로브스카이트구조를 갖는 유전체막의 경우에는, 산소원자가 환원에 의해서 손실되기 쉬우므로, 본 발명을 적용함으로써 큰 효과를 얻을 수 있다.

또한, 본 발명은 본 실시예와 같은 혼재장치에 한정되지 않고, 범용의 DRAM 또는 FeRAM 등의 메탈전극을 이용하는 캐패시터를 갖는 반도체기억장치에도 적용할 수 있는 것은 말할 필요도 없다.

(제 2 실시예)

도 3은 제 2 실시예에서의 반도체기억장치의 제조방법을 나타내는 단면도이다. 본 실시예의 방법은 도 1의 (a)에 나타내는 제 1 실시예의 반도체기억장치를 제조하기 위한 다른 방법이다.

도 3의 (a)에 나타내는 공정에서, 제 1 실시예와 같은 순서에 의해 하부전극(33a) 및 더미하부전극(33b)을 형성할 때까지를 행한다.

다음에, 도 3의 (b)에 나타내는 공정에서, 제 2 층간절연막(22), 하부전극(33a) 및 더미하부전극(33b)을 덮는 두께가 약 30nm인 BST 막(BaSr TiO_3 막)과, 두께가 약 50nm인 Pt 막과, 두께가 약 6nm인 TiAlN 막과, SiO_2 막을 순서대로 퇴적한다. 그리고, SiO_2 막을 패터닝하여 하드마스크(37)를 형성한 후, 하드마스크(37)를 이용한 건식 에칭에 의해, TiAlN 막과 Pt 막과 BST 막을 순서대로 패터닝하여, 유효 메모리셀영역(Rec) 및 더미셀영역(Rdc)을 덮는 상부 배리어메탈(36)과 상부전극(35a) 및 상부전극 연장부(35b)를 포함하는 Pt 막(35)과 BST 막(34)을 각각 형성한다.

다음에, 도 3의 (c)에 나타내는 공정에서, 회불산액에 의한 습식 에칭에 의해 하드마스크(37)를

제거한다. 이 때, BST도 회로산책에 의해 용해되므로, BST막(34) 중 더미배리어메탈(32b) 상의 부분도 제거된다. 이에 따라, 전극간 스페이스(8)를 형성한다.

이어서, 도 3의 (d)에 나타내는 공정에서, 예컨대, 산소분위기 중에서 500°C, 1분간 기판을 열처리함으로써, 전극간 스페이스(8) 상에 위치하는 상부전극 연장부(35b)를 변형시켜, 더미하부전극(33b)과 상부전극 연장부(35b)를 접촉시킨다. 백금은 열을 가하면 유동성이 높아지게 되므로, 용이하게 변형시킬 수 있다. 이 때, 기판에 압력을 가함으로써 더미하부전극(33b)과 상부전극 연장부(35b)와의 접촉을 확실하게 해도 된다.

그 후, 도사하지는 않지만, 제 1 실시예와 같이 제 4 층간절연막(41), Cu 배선(42)을 형성한다.

본 실시예의 제조방법에 의하면, BST막(34)을 패터닝할 때의 포토리소그래피공정이 불필요하게 될과 동시에, 하드마스크(37)의 제거와 동시에 BST막을 에칭하기 때문에, 제 1 실시예와 비교하여 제조공정수를 줄일 수 있어, 용이하게 제조할 수 있게 된다. 또한, 상부전극 상에 플러그를 형성하지 않음으로써, 제 1 실시예와 같이, 환원분위기에 용량절연막(34a)이 되는 BST막(34)이 노출되는 일이 없게 되어, BST막(34)의 막질열화를 막을 수 있다.

또, 본 실시예에서는 상부전극(35a) 및 하부전극(33a)을 Pt에 의해 구성하고, 상부 배리어메탈(36)을 TiAlN에 의해 구성하였지만, 이들의 부재를 내산화성을 가지는 다른 도체재료에 의해 구성해도 된다. 또한, 용량절연막(34a)을 BST에 의해 구성하였지만, 다른 고유전체재료에 의해 구성해도 된다. 특히, 구조식이 AB₂O₄으로 나타나는 페로브스카이트구조를 갖는 유전체막의 경우에는, 산소원자가 환원에 의해서 손실되기 쉬우므로, 본 발명을 적용함에 의해 큰 실효를 얻을 수 있다.

또한, 본 발명은 본 실시예와 같은 존재 디바이스에 한정되지 않고, 범용의 DRAM 또는 FeRAM 등의 금속전극을 이용하는 커패시터를 갖는 반도체기억장치에도 적용할 수 있는 것은 말할 필요도 없다.

(제 3 실시예)

본 발명의 제 3 실시예로서, 제 1 실시예의 반도체기억장치에서 더미하부전극(33b) 및 더미배리어메탈(32b)을 형성하지 않은 경우의 반도체기억장치를 설명한다.

도 4는 본 실시예의 반도체기억장치를 나타내는 단면도이다. 또, 도 1과 같은 부재에는 동일한 부호를 부여하고 있다.

도 4에 나타내는 바와 같이, 본 실시예의 반도체기억장치는 Si기판(10)과 Si기판(10) 상에 설치된 소스영역(12), 드레인영역(13), 채널영역, 게이트절연막(14) 및 게이트전극(15)을 갖는 메모리셀 트랜지스터(TR)와, 메모리셀 트랜지스터(TR)의 소스영역(12)에 상층 메모리셀 플러그(30a)에 의해 접속된 유전체 커패시터를 구비하고 있다. 이 유전체 커패시터는 상층 메모리셀 플러그(30a) 상에 설치된 하부 배리어메탈(32a)과, 하부 배리어메탈(32a) 상에 순서대로 설치된 하부전극(33a), BST막(34), Pt막(35) 및 상부 배리어메탈(36)을 갖고 있다. Pt막(35) 중 하부전극(33a)과 대향하는 부분을 상부전극(35a)으로 하고, BST막(34) 중 하부전극(33a)과 상부전극(35a)과의 사이의 부분을 용량절연막(34a)으로 한다.

또한, Pt막(35) 및 상부 배리어메탈(36)은 하부전극(33a)의 측방으로 연장되어 있고, 제 2 층간절연막(22) 상에 연장된 부분을 상부전극 연장부(35b)로 한다. 메모리셀 트랜지스터(TR) 상에 설치된 제 1 층간절연막(18) 상에는 국소배선(21b)이 설치되고, 제 2 층간절연막(22) 상에 설치된 제 3 층간절연막(41)을 관통하여 Cu 배선(42)이 설치되어 있다. 그리고, 상부전극 연장부(35b)와 국소배선(21b)은 더미셀 플러그(30b)에 의해 서로 접속되고, 국소배선(21b)과 Cu 배선(42)은 배선플러그(30c)에 의해 서로 접속되어 있다. 즉, 상부전극(35a)은 상부전극 연장부(35b) 및 더미도체부재를 통해 Cu 배선(42)에 전기적으로 접속되어 있다. 여기서, 더미도체부재란, 각각 도체로 이루어지는 더미셀 플러그(30b), 국소배선(21b) 및 배선플러그(30c)를 의미한다.

본 실시예의 반도체기억장치와 같이, 더미하부전극이나 더미배리어메탈을 설치하지 않아도, Pt막(35)에 접속하는 플러그를 없앨 수 있으므로, 상부전극(35a)과 Cu 배선(42)과의 접속을 확실하게 취하면서, Pt막이 환원성 분위기에 노출되는 것에 기인하는 용량절연막(34a)의 산소결손을 확실하게 피할 수 있다.

또한, 제 3 층간절연막(41)에 콘택트홀을 개구하는 공정에서, Pt막(35)이 노출되는 일이 없으므로, 콘택트홀 형성을 위한 에칭을 논리회로소자를 형성하기 위한 프로세스 등과 같은 장치(챔버 등) 내에서 할 수 있다. 또, Pt로 이루어지는 하부전극(33a)이나, 상부전극(35a)의 형성 자체는 Pt막 형성용의 전용설비로 행하기 때문에, 논리회로소자를 형성하기 위한 장치를 오염시킬 우려는 본 실시예의 반도체기억장치에서도 근본적으로 생기지 않는다.

다음에, 본 실시예에서의 반도체기억장치의 메모리셀의 제조공정을 설명한다.

도 5의 (a)~(c)는 본 실시예의 반도체기억장치의 제조방법을 나타내는 단면도이다.

도 5의 (a)에 나타내는 공정에서, 이하의 처리를 행한다. 우선, p형의 Si기판(10)에 활성영역을 둘러싸는 소자분리용 절연막(11)을 형성하고, 활성영역에 소스영역(12) 및 드레인영역(13)과, 게이트절연막(14)과, 게이트전극(15)과 산화막 측벽(16)으로 이루어지는 메모리셀 트랜지스터를 형성한다. 이 메모리셀 트랜지스터의 형성공정은 열산화, 폴리실리콘막의 형성 및 패터닝, 이온주입 등의 주지의 기술을 이용하여 주지의 순서에 의해 행하여진다.

다음에, 메모리셀 트랜지스터 상에 BPSG막을 퇴적한 후, 어닐과 CMP(화학적기계적 연마)에 의한 평탄화를 행하여 제 1 층간절연막(18)을 형성한다. 또한, 제 1 층간절연막(18)을 관통하여 소스영역(12), 드레인영역(13)에 각각 도달하는 콘택트홀을 형성한다. 다음에, 콘택트홀 내 및 제 1 층간절연막(18) 상에 n형 폴리실리콘막을 형성한 후, CMP에 의해 평탄화를 행함으로써, 각 콘택트홀에 폴리실리콘막을 매설하여, 하층 메모리셀 플러그(20a)와 비트선 플러그(20b)를 형성한다.

다음에, 제 1 층간절연막(18) 상에 W/Ti 적층막을 퇴적한 후, 에칭에 의해 W/Ti 적층막을 패터닝하여 비트

선 플러그(20b)에 접속되는 비트선(21a)과 국소배선(21b)을 형성한다. 그 때, Ψ 막의 패터닝 시에는 Ti막의 표면이 노출되었을 때를 검출하여 Ψ 막의 에칭 종료시기를 판정하고, Ti막의 패터닝 시에는 폴리실리콘으로 이루어지는 제 1 메모리셀 플러그(20a)에 대하여 높은 선택비를 얻을 수 있는 조건으로 에칭을 행한다.

다음에, 기판 상에 NSG막을 퇴적한 후, CMP(화학적기계적 연마)에 의한 평탄화를 행하여 제 2 층간절연막(22)을 형성한다. 또한, 제 2 층간절연막(22)을 관통하여, 하층 메모리셀 플러그(20a)와 국소배선(21b)(2개소)에 각각 도달하는 콘택트홀을 형성한다. 다음에, 콘택트홀 내에 Ψ 막을 형성한 후, CMP에 의해 평탄화를 행함으로써, 각 콘택트홀에 Ψ 막을 매설하여, 하층 메모리셀 플러그(20a)에 접속되는 상층 메모리셀 플러그(30a)와 2개소에서 국소배선(21b)에 각각 접속하는 더미셀 플러그(30b) 및 배선플러그(30c)를 형성한다.

다음에, 제 2 층간절연막(22) 상에 두께가 약 30nm인 TiAlN막과, 두께가 약 50nm인 Pt막을 순서대로 퇴적한다. 그리고, TiAlN막과 Pt막을 패터닝함으로써, 제 2 층간절연막(22) 상에 메모리셀 플러그(30a)에 접속되는 하부 배리어메탈(32a) 및 그 위의 Pt로 이루어지는 하부전극(33a)을 형성한다. 여기서, Pt막을 패터닝할 때에는 하기의 TiAlN막에 대하여 높은 선택비를 얻을 수 있는 조건으로 에칭을 행하고, TiAlN막을 패터닝할 때에는 하기의 Ψ 로 이루어지는 상층 메모리셀 플러그(30a)가 패배러가지 않도록 선택비가 높은 조건으로 에칭을 한다.

다음에, 도 5의 (b)에 나타내는 공정에서, 제 2 층간절연막(22) 및 하부전극(33a)을 덮는 두께가 약 30nm인 BST막($(\text{BaSr})\text{TiO}_3$)막을 형성한 후, 제 2 층간절연막(22)을 노출시키도록 BST막을 패터닝하여 하부전극(33a)을 덮는 용량절연막(34a)이 되는 BST막(34)을 형성한다.

이어서, BST막(34), 제 2 층간절연막(22) 및 더미셀 플러그(30b) 상에 두께가 약 50nm인 Pt막과, 두께가 약 6nm인 TiAlN막과, SiO_2 막을 순서대로 퇴적한다. 그리고, SiO_2 막을 패터닝하여, 하드마스크(37)를 형성한 후, 하드마스크(37)를 이용한 건식 에칭에 의해, TiAlN막과 Pt막을 순서대로 패터닝하여, 유효 메모리셀 영역(Rec) 및 더미셀영역(Rdc)을 덮는 상부 배리어메탈(36)과, 상부전극(35a) 및 상부전극 연장부(35b)를 포함하는 Pt막(35)을 형성한다.

다음에, 도 5의 (c)에 나타내는 공정에서, 회불산액에 의한 습식 에칭에 의해 하드마스크(37)를 제거한 후, 기판 상에 TEOS막을 퇴적하고, CMP에 의해서 평탄화함으로써, 제 3 층간절연막(41)을 형성한다. 다음에, 제 3 층간절연막(41) 상에 트렌치를 형성하고 나서, 트렌치로의 Cu 배선(42)의 매설(다마신법) 등을 행함으로써, 본 실시예의 반도체기억장치를 얻을 수 있다. 또, 도 5의 (b)에 나타내는 공정에서, 상부전극 연장부(35b) 및 상부 배리어메탈(36)은 더미셀 플러그(30b)와 완전히 오버랩할 필요는 없고, 그 일부가 더미셀 플러그(30b)와 오버랩하도록 형성되어 있으면 된다.

또, 본 실시예에서는 제 1 실시예에 관한 반도체기억장치가 더미배리어메탈(32b) 및 더미하부전극(33b)을 설치하지 않은 경우에 대해서 설명하였지만, 이하의 실시예에 관한 반도체기억장치에서도 더미배리어메탈(32b) 및 더미하부전극(33b)을 형성하지 않아도 문제는 없다.

(제 4 실시예)

도 6은 본 발명의 제 4 실시예에서 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도이다.

도 6에 나타난 바와 같이, 본 실시예의 메모리부의 구조가 제 1 실시예와 다른 점은 제 1 실시예에서 Ψ /Ti막으로 이루어지는 국소배선(21b), 더미셀 플러그(30b) 및 더미하부전극(33b)이 설치되어 있지 않고, 제 2 층간절연막(22)에 형성된 트렌치를 매설하는 Ψ 로 이루어지는 국소배선(23)이 설치되어 있는 점이다. 이 국소배선(23)은 상층 메모리셀 플러그(30a)와 동시에 형성되어 있다. 그 밖의 부재는 상기 도 1의 (a)에 나타내는 부재와 동일하며, 그를 부재에는 도 1의 (a)와 동일한 부호가 부여되어 있다.

본 실시예에 의하면, Ψ 로 이루어지는 국소배선(23), 더미배리어메탈(32b) 및 더미하부전극(33b)을 통해 상부전극(35a)과 Cu 배선(42)이 전기적으로 접속된다. 그리고, 본 실시예에서도 제 3 층간절연막(41)에 상부전극(35a)을 구성하는 Pt막(35)(상부 배리어메탈(36))에 도달하는 콘택트홀을 형성할 필요가 없다. 따라서, 본 실시예에 의해, 상기 제 1 실시예와 같이, 용량절연막(34a)의 특성의 열화방지나, 메모리셀 형성을 위한 전용 설비의 불필요화 등의 효과를 발휘할 수 있다.

(제 5 실시예)

도 7은 제 5 실시예에서 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도이다.

도 7에 나타난 바와 같이, 본 실시예의 메모리부의 구조가 제 1 실시예와 다른 점은 제 1 실시예에서 Ψ /Ti막으로 이루어지는 국소배선(21b) 대신에, 소자분리용 절연막(11) 상에 폴리실리콘으로 이루어지는 국소배선(24)이 설치되고, 또한 제 1 층간절연막(18)을 관통하여 국소배선(24)에 접속하는 하층 더미셀 플러그(20c)와, 제 1 층간절연막(18)을 관통하여 국소배선(24)에 접속하는 하층 배선플러그(20d)가 설치되어 있는 점이다. 그리고, 본 실시예에서는 더미셀 플러그(30b)는 하층 더미셀 플러그(20c)에 접속되고, 배선플러그(30c)는 하층 배선플러그(20d)에 접속되어 있다. 국소배선(24)은 게이트전극(15)과 동시에 형성되어 있다. 그 밖의 부재는 상기 도 1의 (a)에 나타내는 부재와 동일하며, 그를 부재에는 도 1의 (a)와 동일한 부호가 부여되어 있다.

본 실시예에 의하면, 더미하부전극(33b), 더미배리어메탈(32b), 더미셀 플러그(30b), 하층 더미셀 플러그(20c), 국소배선(24), 하층 배선플러그(20d) 및 배선플러그(30c)를 통해, 상부전극(35a)과 Cu 배선(42)이 전기적으로 접속된다. 그리고, 본 실시예에서도 제 3 층간절연막(41)에 상부전극(35a)을 구성하는 Pt막(35)(상부 배리어메탈(36))에 도달하는 콘택트홀을 형성할 필요가 없다. 따라서, 본 실시예에 의해, 상기 제 1 실시예와 마찬가지로 용량절연막(34a)의 특성의 열화방지나, 메모리셀 형성을 위한 전용 설비의 불필요화 등의 효과를 발휘할 수 있다.

(제 6 실시예)

도 8은 제 6 실시예에서 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도이다.

도 8에 나타난 바와 같이, 본 실시예의 메모리부의 구조가 제 1 실시예와 다른 점은 제 1 실시예에서 W/Ti막으로 이루어지는 국소배선(21b) 대신에, Si기판(10) 중에 불순물 확산층으로 이루어지는 국소배선(25)이 설치되고, 또한, 제 1 층간절연막(18)을 관통하여 국소배선(25)에 접촉하는 하층 더미셀 플러그(20c)와 제 1 층간절연막(18)을 관통하여 국소배선(25)에 접촉하는 하층 배선플러그(20d)가 설치되어 있는 점이다. 그리고, 본 실시예에서는 더미셀 플러그(30b)는 하층 더미셀 플러그(20c)에 접속되고, 배선플러그(30c)는 하층 배선플러그(20d)에 접속되어 있다. 국소배선(25)은 소스·드레인영역(12, 13)과 동시에 형성되어 있다. 그 밖의 부재는 상기 도 1의 (a)에 나타내는 부재와 동일하며, 그를 부재에는 도 1의 (a)와 같은 부호가 부여되어 있다.

본 실시예에 의하면, 더미하부전극(33b), 더미배리어메탈(32b), 더미셀 플러그(30b), 하층 더미셀 플러그(20c), 국소배선(25), 하층 배선플러그(20d) 및 배선플러그(30c)를 통해, 상부전극(35a)과 Cu 배선(42)이 전기적으로 접속된다. 그리고, 본 실시예에서도 제 3 층간절연막(41)에 상부전극(35a)을 구성하는 Pt막(35)(상부 배리어메탈(36))에 도달하는 콘택트홀을 형성할 필요가 없다. 따라서, 본 실시예에 의해, 상기 제 1 실시예와 같이, 용량절연막(34a)의 특성의 열화방지나, 메모리셀 형성을 위한 전용 설비의 불필요화 등의 효과를 발휘할 수 있다.

(제 7 실시예)

상기 제 1~제 6 실시예에서는 본 발명을 비트선 하부설치형의 DRAM 메모리셀구조에 적용한 예에 대해서 설명하였지만, 본 실시예에서는 본 발명을 비트선이 기억용량부 보다도 상방에 설치된 비트선 상부설치형의 DRAM 메모리셀구조에 적용한 예에 대해서 설명한다. 도 9는 제 7 실시예에서의 반도체기억장치 중 메모리부의 일부의 구조를 나타내는 단면도이다. 도 10의 (a)~(c)는 제 7 실시예에서의 반도체기억장치의 제조공정을 나타내는 단면도이다. 이하, 본 실시예에서의 반도체기억장치의 구조와 제조방법에 대하여 순서대로 설명한다. 여기서, 본 실시예의 각 도면에서는 메모리부의 구조만을 나타내지만, 본 실시예의 반도체기억장치는 제 1 실시예와 같이 도시되어 있지 않은 논리회로부에서 논리회로소자가 설치되어 있는 논리회로 디바이스이다. 단, 논리회로소자의 구조 자체는 직접 본 발명의 본질과는 관계가 없으므로, 도시를 생략하는 것으로 한다.

도 9에 나타난 바와 같이, 본 실시예의 메모리부는 제 5 실시예와 같이, 제 1 실시예에 있어서 W/Ti막으로 이루어지는 국소배선(21b) 대신에, 소자분리용 절연막(11) 상에 폴리실리콘으로 이루어지는 국소배선(24)이 설치되고, 또한, 제 1 층간절연막(18)을 관통하여 국소배선(24)에 접촉하는 하층 더미셀 플러그(20c)와, 제 1 층간절연막(18)을 관통하여 국소배선(24)에 접촉하는 하층 배선플러그(20d)가 설치되어 있다.

또한, 본 실시예에서는 기억용량부(MC)나 더미셀이 제 1 층간절연막(18) 상에 설치되어 있고, 더미하부전극(33b)(더미배리어메탈(32b))이 직접 하층 더미셀 플러그(20c)에 접속되고, Cu 배선(42)은 직접 하층 배선플러그(20d)에 접속되어 있다. 국소배선(24)은 게이트전극(15)과 같은 폴리실리콘막으로 형성되어 있다.

또한, 비트선 플러그(20b) 상에는 제 2 층간절연막(22)을 관통하여 비트선 플러그(20b)에 도달하는 상층 비트선 플러그(51)와, 상층 비트선 플러그(51)의 측면을 덮는 절연체막(52)과, 제 3 층간절연막(41)에 매설된 Cu막으로 이루어지는 비트선(53)이 설치되어 있다. 요컨대, 비트선이 기억용량부(MC)보다도 상방에 설치된 비트선 상부설치형 DRAM 메모리셀의 구조를 구비하고 있다.

도 9에서 다른 부재는 상기 도 1의 (a)에 나타내는 부재와 동일하며, 그를 부재에는 도 1의 (a)와 같은 부호가 부여되어 있다.

본 실시예에 의하면, 더미하부전극(33b), 더미배리어메탈(32b), 더미셀 플러그(30b), 하층 더미셀 플러그(20c), 국소배선(24) 및 하층 배선플러그(20d)를 통해, 상부전극(35a)과 Cu 배선(42)이 전기적으로 접속된다. 그리고, 본 실시예에서도, 제 3 층간절연막(41)에 상부전극(35a)을 구성하는 Pt막(35)(상부 배리어메탈(36))에 도달하는 콘택트홀을 형성할 필요가 없다. 따라서, 본 실시예에 의해, 비트선 상부설치형의 구조를 채택하면서, 상기 제 1 실시예와 같이 용량절연막(34a)의 특성의 열화방지나, 메모리셀 형성을 위한 전용 설비의 불필요화 등의 효과를 발휘할 수 있다.

다음에, 본 실시예에서 반도체기억장치의 메모리셀의 제조공정에 대하여 도 10의 (a)~(c)를 참조하여 설명한다.

도 10의 (a)에 나타내는 공정에서, 이하의 처리를 행한다. 우선, p형의 Si기판(10)에 활성영역을 둘러싸는 소자분리용 절연막(11)을 형성하고, 활성영역에 소스영역(12) 및 드레인영역(13)과, 게이트절연막(14)과, 게이트전극(15)과, 산화막층(16)으로 이루어지는 메모리셀 트랜지스터를 형성한다. 이 메모리셀 트랜지스터의 형성공정은 열산화, 폴리실리콘막의 형성 및 패터닝, 이온주입 등의 주지의 기술을 이용하여 주지의 순서에 의해 행하여진다. 이 때, 게이트전극(15)을 형성할 때에, 동시에 소자분리용 절연막(11) 상에 폴리실리콘으로 이루어지는 국소배선(24)을 형성해 둔다.

다음에, 메모리셀 트랜지스터 상에 BPSG막을 퇴적한 후, 어닐과 CMP(화학기제적 연마)에 의한 평탄화를 행하여 제 1 층간절연막(18)을 형성한다. 또한, 제 1 층간절연막(18)을 관통하여 소스영역(12), 드레인영역(13) 및 국소배선(24)의 2개소에 각각 도달하는 콘택트홀을 형성한다. 다음에, 콘택트홀 내 및 제 1 층간절연막(18) 상에 r형 폴리실리콘막을 형성한 후, CMP에 의해 평탄화를 행함으로써, 각 콘택트홀에 폴리실리콘막을 매설하고, 하층 메모리셀 플러그(20a)와, 비트선 플러그(20b)와, 하층 더미셀 플러그(20c)와 하층 배선플러그(20d)를 형성한다.

다음에, 제 1 층간절연막(18) 상에 두께가 약 30nm인 TiAlN막과, 두께가 약 50nm인 Pt막을 순서대로 퇴적한다. 그리고, TiAlN막과 Pt막을 패터닝함으로써, 제 1 층간절연막(18) 상에 하층 메모리셀 플러그(20a)에 접속되는 배리어메탈(32a) 및 그 위의 Pt로 이루어지는 하부전극(33a)과, 하층 더미셀 플러그(20b)에 접속되는 더미배리어메탈(32b) 및 그 위의 더미하부전극(33b)을 형성한다. 여기서, Pt막을 패터닝할 때에

는 하지만 TiAlN막에 대하여 높은 선택비를 얻을 수 있는 조건으로 에칭을 행하고, TiAlN막을 패터닝할 때에는 하지의 HfO_2 막에 이루어지는 상층 메모리셀 플러그(30a)가 파내려가지 않도록 선택비가 높은 조건으로 에칭을 행한다.

다음에, 제 1 층간절연막(18), 하부전극(33a) 및 더미하부전극(33b)을 덮는 두께가 약 30nm인 BST막($(\text{BaSr})\text{TiO}_3$ 막)을 형성한 후, 더미하부전극(33b)을 노출시키도록 BST막을 패터닝하여 하부전극(33a)을 덮는 용량절연막(34a)이 되는 BST막(34)을 형성한다.

이어서, BST막(34) 및 더미하부전극(33b) 상에 두께가 약 50nm인 Pt막과, 두께가 약 6nm인 TiAlN막과, SiO_2 막을 순서대로 퇴적한다. 그리고, SiO_2 막을 패터닝하여 하드마스크(37)를 형성한 후, 하드마스크(37)를 이용한 건식 에칭에 의해, TiAlN막과 Pt막을 순서대로 패터닝하여, 유효 메모리셀영역(Rec) 및 더미셀 영역(Rdc)을 덮는 상부 배리어메탈(36)과, 상부전극(35a) 및 상부전극 연장부(35b)를 포함하는 Pt막(35)을 형성한다. 이 때, 하드마스크(37) 중 비트선 플러그(20b)의 상부에 위치하는 부분도 삭제되어 개구(59)가 형성되어 있다.

다음에, 도 10의 (b)에 나타내는 공정에서, 제 2 층간절연막(22)을 퇴적한 후, CMP에 의해, 하드마스크(37)가 노출할 때까지 제 2 층간절연막(22)의 평탄화를 행한다. 그리고, 하드마스크(37)를 관통하여 비트선 플러그(20b)에 도달하는 콘택트홀(60)을 형성한다. 이 때, 콘택트홀(60)을 도 10의 (a)에 나타내는 공정에서 형성된 개구(59)의 내경보다도 충분히 작게 해 놓음으로써, 콘택트홀(60)의 측면에는 절연체막(52)이 형성된다.

다음에, 도 10의 (c)에 나타내는 공정에서, 제 2 층간절연막(22)을 관통하여 하층 배선플러그(20d)에 도달하는 트렌치를 형성한다. 그리고, Cu막의 퇴적과 CMP를 행하여, 콘택트홀(60)과, 하층 배선플러그(20d) 상의 트렌치에 Cu막을 매설함으로써, 상층 비트선 플러그(51)와 Cu 배선(42)을 형성한다.

그 후, 제 3 층간절연막(41)의 퇴적 및 평탄화와, 제 3 층간절연막(41)으로의 콘택트홀 및 트렌치의 형성과, 콘택트홀 및 트렌치 내로의 Cu막의 매설에 의해, 비트선(53)을 형성한다(듀얼다마신법). 이에 따라, 도 9에 나타내는 메모리셀의 구조를 얻을 수 있다.

본 실시예에서의 제조방법에 의하면, 하드마스크(37)에 상부전극(35a)을 구성하는 Pt막(35)(상부 배리어 메탈(36)) 상에 도달하는 콘택트홀을 형성하는 공정을 피할 수 있기 때문에, 제 1 실시예에서의 제조방법과 같이, 환원성 분위기에서 노출되는 것에 기인하는 용량절연막(34a)의 특성의 열화를 확실히 억제할 수 있다.

또한, 본 실시예에서는 비트선을 기억용량부보다도 위에 배치하였기 때문에, DRAM 존재 프로세스에서는, 비트선을 기억용량부보다도 아래에 배치하는 구조에 비하여 다른 공정에서 비트선을 형성할 필요가 없어, 제조가 용이하게 된다. 따라서, 본 실시예의 반도체 기억장치는 비용면에서 유리하다.

또, 본 실시예에서는 상부전극(35a) 및 하부전극(33a)을 Pt에 의해 구성하고, 상부 배리어메탈(36)을 TiAlN막에 의해 구성하였지만, 이들의 부재를 내산화성을 가지는 다른 도체재료에 의해 구성해도 된다. 또한, 용량절연막(34a)을 BST에 의해 구성하였지만, 다른 고유전체재료에 의해 구성해도 된다. 특히, 구조식이 ABQ₃으로 나타나는 퍼로브스카이트구조를 갖는 유전체막의 경우에는, 산소원자가 환원에 의해서 손실되기 쉬우므로, 본 발명을 적용함으로써, 큰 효과를 얻을 수 있다.

또한, 본 발명은 본 실시예와 같은 존재 디바이스에 한정되지 않고, 범용의 DRAM 또는 FeRAM 등의 금속전극을 이용하는 커패시터를 갖는 반도체 기억장치에도 적용할 수 있는 것은 말할 필요도 없다.

(제 8 실시예)

본 실시예에서도, 제 7 실시예와 같이, 본 발명을 비트선이 기억용량부보다도 왼쪽에 설치된 비트선 상부 설치형의 DRAM 메모리셀 구조에 적용한 예에 대하여 설명한다. 도 11은 제 8 실시예에서의 반도체 기억장치 중 메모리부의 일부의 구조를 나타내는 단면도이다. 도 12의 (a)~(c)는 제 8 실시예에서의 반도체 기억장치의 제조공정을 나타내는 단면도이다. 이하, 본 실시예에서 반도체 기억장치의 구조와 제조방법에 대하여 순서대로 설명한다. 여기서, 본 실시예의 각 도면에서는 메모리부의 구조만을 나타내지만, 본 실시예의 반도체 기억장치는 제 1 실시예와 같이, 도시되어 있지 않은 논리회로부에서 논리회로소자가 설치되어 있는 존재형 디바이스이다. 단, 논리회로소자의 구조 자체는 직접 본 발명의 본질과는 관계가 없으므로, 도시를 생략하는 것으로 한다.

도 11에 나타내는 바와 같이, 본 실시예의 메모리부는 제 5 실시예와 같이, 제 1 실시예에서 Hf/Ti 막으로 이루어지는 국소배선(21b) 대신에, 소자분리층 절연막(11) 상에 폴리실리콘으로 이루어지는 국소배선(24)이 설치되고, 또한, 제 1 층간절연막(18)을 관통하여 국소배선(24)에 접촉하는 하층 더미셀 플러그(20c)와, 제 1 층간절연막(18)을 관통하여 국소배선(24)에 접촉하는 하층 배선플러그(20d)가 설치되어 있다.

또한, 제 2 층간절연막(22)에 설치된 도면 중 하나의 개구의 저면으로부터 측면의 전체에 TiAlN으로 이루어지는 하부 배리어메탈(54a) 및 하부전극(33a)이 설치되어 있다. 한편 제 2 층간절연막(22)에 설치된 다른 개구의 일부에서 당해 개구의 측면으로부터 저면에 걸쳐 TiAlN으로 이루어지는 더미 하부 배리어메탈(54b) 및 더미하부전극(33b)이 설치되어 있다. 그리고, 하부전극(33a) 상에 BST막(34)이 설치되고, BST막(34) 상 및 더미하부전극(33b) 상에는 Pt막(35) 및 상부 배리어메탈(36)이 설치되어 있다. BST막(34) 중 하부전극(33a)에 접하는 부분이 용량절연막(34a)이고, Pt막(35) 중 하부전극(33a)에 대항하는 부분이 상부전극(35a)이고, Pt막(35) 중 더미하부전극(33b)에 접하는 부분이 상부전극 연장부(35b)이다. 요컨대, 통형상의 기억용량부(MC)나 더미셀이 제 1 층간절연막(18)으로부터 제 2 층간절연막(22)에 걸쳐 설치되어 있고, 더미하부전극(33b)(더미하부 배리어메탈(54b))이 직접 하층 더미셀 플러그(20c)에 접속되고, Cu 배선(42)은 직접 하층 배선플러그(20d)에 접속되어 있다. 국소배선(24)은 게이트전극(15)과 같은 폴리실리콘막으로 형성되어 있다. 또, 통형상의 기억용량부(MC)의 평면형상은 원형, 사각형, 그 밖의 다각형 중 어느 것이어도 된다.

또한, 비트선 플러그(20b) 상에는 제 2 층간절연막(22) 및 제 3 층간절연막(41)을 관통하여 비트선 플러그(20b)에 도달하는 상층 비트선 플러그(51)와, 상층 비트선 플러그(51)의 측면을 덮는 절연체막(52)과, 제 3 층간절연막(41)에 매설된 Cu막으로 이루어지는 비트선(53)이 설치되어 있다. 요컨대, 비트선이 기억 용량부(MC)보다도 상부에 설치된 비트선 상부설치형 DRAM 메모리셀의 구조를 구비하고 있다.

도 11에서의 다른 부재는 상기 도 1의 (a)에 나타내는 부재와 동일하며, 그들의 부재에는 도 1의 (a)와 같은 부호가 부여되어 있다.

본 실시예에 의하면, 더미하부전극(33b), 더미하부 배리어메탈(54b), 하층 더미셀 플러그(20c), 국소배선(24) 및 하층 배선플러그(20d)를 통해, 상부전극(35a)과 Cu 배선(42)이 전기적으로 접속된다. 그리고, 본 실시예에서도 제 3 층간절연막(41)에 상부전극(35a)을 구성하는 Pt막(35)(상부 배리어메탈(36))에 도달하는 콘택트홀을 형성할 필요가 없다. 따라서, 본 실시예에 의해, 비트선 상부설치형의 구조를 채택하면서, 상기 제 1 실시예와 같이, 용량절연막(34a)의 특성의 열화방지나, 메모리셀 형성을 위한 전공 설비의 불필요화 등의 효과를 발휘할 수 있다.

다음에, 본 실시예에서의 반도체기억장치의 메모리셀의 제조공정에 대하여 도 12의 (a)~(c)를 참조하여 설명한다.

도 12의 (a)에 나타내는 공정에서 마하의 처리를 한다. 우선, p형의 Si기판(10)에 활성영역을 둘러싸는 소자분리용 절연막(11)을 형성하고, 활성영역에 소스영역(12) 및 드레인영역(13)과, 게이트절연막(14)과, 게이트전극(15)과, 산화막층(16)으로 이루어지는 메모리셀 트랜지스터를 형성한다. 이 메모리셀 트랜지스터의 형성공정은 열산화, 폴리실리콘막의 형성 및 패터닝, 이온주입 등의 주지의 기술을 이용하여 주지의 순서에 의해 행하여진다. 이 때, 게이트전극(15)을 형성할 때에, 동시에 소자분리용 절연막(11) 상에 폴리실리콘으로 이루어지는 국소배선(24)을 형성해 둔다.

다음에, 메모리셀 트랜지스터 상에 BPSG막을 퇴적한 후, 어닐과 CMP(화학기계적 연마)에 의한 평탄화를 행하여 제 1 층간절연막(18)을 형성한다. 또한, 제 1 층간절연막(18)을 관통하여 소스영역(12), 드레인영역(13) 및 국소배선(24)의 2개소에 각각 도달하는 콘택트홀을 형성한다. 다음에, 콘택트홀 내 및 제 1 층간절연막(18) 상에 n형 폴리실리콘막을 형성한 후, CMP에 의해 평탄화를 행함으로써, 각 콘택트홀에 폴리실리콘막을 매설한다.

다음에, 제 1 층간절연막(18) 상에 NSG막을 퇴적한 후, CMP에 의해 평탄화를 행하여, 제 2 층간절연막(22)을 형성한다. 그리고, 제 2 층간절연막(22)에 하층 메모리셀 플러그(20a), 더미셀 플러그(20c)를 노출시키는 개구를 도면 중 2개소에 형성한다.

다음에, 기판 상에 두께가 약 6nm인 TiAlN막 및 두께가 약 30nm인 Pt막을 퇴적한 후, 제 2 층간절연막(22)의 상면이 노출될 때까지 CMP를 행함으로써, 도면 중 2개소의 개구의 저면 및 측면 상에 TiAlN막 및 Pt막을 남겨, 하부 배리어메탈(54a) 및 하부전극(33a)과 하부더미배리어메탈(54b) 및 더미하부전극(33b)을 형성한다. 다음에, 기판 상에 두께가 약 30nm인 BST막((BaSr)TiO₃막)을 퇴적하고 나서 더미셀영역의 부분을 에칭에 의해 제거하여, 용량절연막(34a)을 포함하는 BST막(34)을 형성한다. 이어서, BST막(34), 제 2 층간절연막(22) 및 더미하부전극(33b)을 덮는 두께가 약 30nm인 Pt막(35A)과, 두께가 약 6nm인 TiAlN막(36A)을 순서대로 퇴적한다.

다음에, 도 12의 (b)에 나타내는 공정에서, 유효 메모리셀영역(Rec) 및 더미셀 영역(Rdc)을 덮고 다른 영역을 개구한 하드마스크(37)를 형성한다. 이 때, 하드마스크(37)는 하층 비트선 플러그(20b)의 외곽에 위치하는 영역에 개구(61)를 갖고 있다. 그 후, 하드마스크(37)를 에칭 마스크로서 이용한 건식 에칭에 의해, TiAlN막(36A)과 Pt막(35A)을 순서대로 패터닝하여, 유효 메모리셀영역(Rec) 및 더미셀영역(Rdc)을 덮는 상부 배리어메탈(36)과, 상부전극(35a) 및 상부전극 연장부(35b)를 포함하는 Pt막(35)을 형성한다. 이 때, 유효 메모리셀영역(Rec) 및 더미셀영역(Rdc) 이외의 영역에서는 TiAlN막과 Pt막이 제거된다.

다음에, 도 12의 (c)에 나타내는 공정에서, 제 3 층간절연막(41)을 퇴적한 후, CMP에 의해 제 3 층간절연막(41)의 평탄화를 행한다. 이 때, 개구(61)는 절연체에 의해 일시적으로 매설된다.

이어서, 이방성 에칭에 의해, 제 3 층간절연막(41) 및 제 2 층간절연막(22)을 관통하여 비트선 플러그(20b)에 도달하는 개구(61')를 개방한다. 이 때, 개구(61')의 내경을 개구(61)보다도 충분히 작게 취함으로써, 개구(61')의 측면 상에 절연체막(52)을 형성한다.

다음에, 도시하지 않지만, 제 3 층간절연막(41) 및 제 2 층간절연막(22)을 관통하여 하층 배선플러그(20d)에 도달하는 콘택트홀을 형성한다. 그리고, Cu막의 퇴적과 CMP를 행하여, 각 콘택트홀에 Cu막을 매설함으로써, 상층 비트선 플러그(51)와 Cu 배선(42)을 형성한다.

그 후, 제 5 층간절연막(55)의 퇴적 및 평탄화와, 제 5 층간절연막(55)으로의 콘택트홀 및 트랜치의 형성과, 콘택트홀 및 트랜치 내로의 Cu막의 매설에 의해, 비트선(53)을 형성한다(듀얼다마신법). 이에 따라, 도 11에 나타내는 메모리셀의 구조를 얻을 수 있다.

본 실시예에서의 제조방법에 의하면, 제 3 층간절연막(41)에 상부전극(35a)을 구성하는 Pt막(35)(상부 배리어메탈(36)) 상에 도달하는 콘택트홀을 형성하는 공정을 피할 수 있으므로, 제 1 실시예에서의 제조방법과 같이, 환원성 분위기에 노출되는 것에 기인하는 용량절연막(34a)의 특성의 열화를 확실히 억제할 수 있다.

또한, 기억용량부(MC)가 통형상의 구조를 하고 있기 때문에, 기판의 단위면적당 용량이 증대되므로, 고밀도로 메모리셀을 배치한 DRAM을 얻을 수 있다.

또, 본 실시예에서는 상부전극(35a) 및 하부전극(33a)을 Pt에 의해 구성하고, 상부 배리어메탈(36)을 TiAlN막에 의해 구성하였지만, 이들의 부재를 내산화성을 가지는 다른 도체재료에 의해 구성해도 된다. 또한, 용량절연막(34a)을 BST에 의해 구성하였지만, 다른 고유전체재료에 의해 구성해도 된다. 특히, 구조식이 ABQ₃으로 나타내는 페로브스카이트구조를 갖는 유전체막의 경우에는, 산소원자가 환원에 의해서 손

실되기 쉬우므로, 본 발명을 적용함으로써, 큰 실효를 얻을 수 있다.

또한, 본 발명은 본 실시예와 같은 존재 디바이스에 한정되지 않고, 범용의 DRAM 또는 FeRAM 등의 급속전극을 이용하는 커패시터를 갖는 반도체기억장치에도 적용할 수 있는 것은 말할 필요도 없다.

또, 본 실시예에서는 통형상 기억용량부의 구조를 비트선 상부설치형의 메모리셀에 적용한 예를 설명하였지만, 도 11에 나타내는 통형상의 기억용량부의 구조는 비트선 하부설치형의 메모리셀에 적용하는 것도 가능하다.

(그 밖의 실시예)

상기 제 7, 제 8 실시예에서는 게이트배선이 되는 폴리실리콘막을 국소배선으로서 이용하였지만, 제 7, 제 8 실시예와 같은 비트선 상부설치형 구조를 갖는 DRAM 메모리셀에서도 제 4, 제 6 실시예와 같은 구조를 채택할 수 있다. 즉, 비트선 상부설치형 구조를 갖는 DRAM 메모리셀에서, 도 6에 나타내는 매설막으로 이루어지는 국소배선 (23)이나, 도 8에 나타내는 불순물 확산층으로 이루어지는 국소배선 (25)을 설치해도 된다.

또한, 더미하부전극이 Cu 배선에 직접 접촉하는 구조라도 된다.

상기 각 실시예에서는 본 발명을 DRAM과 논리회로를 구비한 혼재형 반도체기억장치에 적용한 예를 나타내었지만, 본 발명은 이러한 실시예에 한정되는 것이 아니고, 범용 DRAM에 대하여도 적용할 수 있다.

또한, 본 발명은 FeRAM 등의 강유전체막을 용량절연막으로서 이용한 반도체기억장치에 대해서도 적용할 수 있다. 그 경우에도, 범용 메모리형 또는 메모리 논리 혼재형의 어느 것이라도 된다.

또, 상기의 실시예에서는 상부전극 상에 하드마스크를 형성하였지만, 상부전극이나 하부전극의 도체재료의 종류에 따라서는, 상기 하드마스크 대신에 레지스트 마스크를 형성해도 된다. 단, 하드마스크를 이용함으로써, 에칭 시에 마스크 패턴의 붕괴를 억제할 수 있으므로 패턴링 정밀도의 향상을 도모할 수 있다.

또, 본 발명의 제 1, 제 2, 제 4~8 실시예에서, 더미하부전극을 설치하였지만, 반드시 설치하지 않아도 된다. 따라서, 상부전극과 Cu 배선을 접속하는 더미도체부재는 더미하부전극, 더미셀 플러그, 국소배선 중 적어도 하나를 포함하게 된다.

발명의 효과

본 발명에 의하면, 상부전극을 노출시키지 않고 확실하게 상부전극과 상층배선을 전기적으로 접속할 수 있으므로, 용량절연막의 특성의 열화가 작은 반도체기억장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판 상의 절연층 상에 설치되고, 하부전극, 상부전극 및 하부전극과 상부전극과의 사이에 개재하는 용량절연막으로 구성되는 기억용량부와,

상기 기억용량부의 상기 상부전극에 연속하여 설치된 상부전극 연장부와,

상기 상부전극 연장부의 아래에 적어도 일부가 접하도록 설치된 더미도체부재와,

상기 더미도체부재에 전기적으로 접속되는 상층배선을 구비하고 있는 것을 특징으로 하는 반도체기억장치.

청구항 2

제 1항에 있어서,

상기 더미도체부재는 상기 하부전극과 같은 도체막으로 형성된 더미하부전극을 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 더미도체부재는 상기 절연층에 설치된 트렌치를 채우는 도체막을 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 4

제 1항 또는 제 2항에 있어서,

상기 더미도체부재는 상기 절연층 아래의 상기 반도체기판 상에 설치된 국소배선과, 상기 절연층을 관통하여 상기 상부전극 연장부와 상기 국소배선을 전기적으로 접속하는 플러그를 추가로 포함하는 것을 특징으로 하는 반도체기억장치.

청구항 5

제 4항에 있어서,

상기 절연층을 끼워 상기 기억용량부의 하방에 형성된 비트선을 추가로 구비하고,

상기 국소배선은 상기 비트선과 같은 도체막으로 형성되어 있는 것을 특징으로 하는 반도체기억장치.

청구항 6

제 4항에 있어서,

평면적으로 보아 상기 상부전극 연장부의 적어도 일부는 상기 도체플러그와 오버랩하고 있는 것을 특징으로 하는 반도체기억장치.

청구항 7

제 1항 또는 제 2항에 있어서,

상기 절연층의 하방에서 반도체기판 상에 설치된 소자분리용 절연막과,

상기 반도체기판의 상기 소자분리용 절연막에 의해서 둘러싸이는 영역에 설치되어, 게이트전극과 상기 반도체기판 내에서 상기 게이트전극의 양측의 영역에 설치된 불순물 확산층을 갖는 메모리셀 트랜지스터와,

상기 소자분리용 절연막 상에 설치되어, 상기 게이트전극과 같은 도체막으로 형성된 국소배선과,

상기 절연층을 관통하여 상기 국소배선에 접속하는 도체플러그를 추가로 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 8

제 1항 또는 제 2항에 있어서,

상기 반도체기판에 설치되어, 게이트전극과 상기 반도체기판 내에서 상기 게이트전극의 양측에 설치된 불순물 확산층을 갖는 메모리셀 트랜지스터와,

상기 반도체기판의 상기 불순물 확산층과는 간격을 두고 설치된 다른 하나 불순물 확산층으로 형성된 국소배선과,

상기 절연층을 관통하여 상기 국소배선에 접속되는 도체플러그를 추가로 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 9

제 2항에 있어서,

상기 상층배선은 상기 더미하부전극에 접촉하고 있는 것을 특징으로 하는 반도체기억장치.

청구항 10

제 1항에 있어서,

상기 기억용량부는 통형상의 하부전극, 용량절연막 및 상부전극을 갖고 있는 것을 특징으로 하는 반도체기억장치.

청구항 11

제 1항에 있어서,

상기 용량절연막은 고유전체막 또는 강유전체막인 것을 특징으로 하는 반도체기억장치.

청구항 12

하부전극, 상부전극 및 하부전극과 상부전극과의 사이에 개재하는 용량절연막으로 구성되는 기억용량부와, 상기 기억용량부의 상기 상부전극에 전기적으로 접속되는 상층배선을 구비하고 있는 반도체기억장치의 제조방법에 있어서,

반도체기판 상에 국소배선을 형성하는 공정 (a)와,

상기 공정 (a) 후에 상기 반도체기판 상에 제 1 도체막을 형성하는 공정 (b)와,

상기 제 1 도체막을 패터닝하여, 적어도 상기 하부전극을 형성하는 공정 (c)와,

상기 하부전극을 덮는 상기 용량절연막이 되는 유전체막을 형성하는 공정 (d)와,

상기 공정 (d) 후에 상기 반도체기판 상에 제 2 도체막을 형성하는 공정 (e)와,

상기 제 2 도체막을 패터닝하여, 상기 하부전극의 전체를 덮는 상기 상부전극과, 상기 국소배선의 적어도 일부를 덮는 상기 상부전극과 연속하는 상부전극 연장부를 일체화 형성하는 공정 (f)와,

상기 공정 (f) 후에, 상기 반도체기판 상에 적어도 상기 국소배선 및 상기 상부전극 연장부를 통해 상기 상부전극에 전기적으로 접속되는 상기 상층배선을 형성하는 공정 (g)를 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 13

제 12항에 있어서,

상기 공정 (a) 후, 상기 공정 (b) 전에, 상기 국소배선을 포함하는 상기 반도체기판 상에 제 1 절연막을 형성하는 공정 (a2)와, 상기 제 1 절연막을 관통하여 함께 상기 국소배선에 전기적으로 접속하는 제 1 도체플러그 및 제 2 도체플러그를 형성하는 공정 (a3)을 추가로 포함하며,



상기 공정 (f)에서는 상기 상부전극 연장부가 상기 제 1 도체플러그의 적어도 일부를 덮도록 형성하고,

상기 공정 (g)에서는 상기 반도체기판 상에 제 2 절연막을 형성한 후, 상기 제 2 절연막에 상기 제 2 도체플러그까지 도달하는 배선 패설용 트렌치를 형성하며, 상기 트렌치에 도전막을 패설하여 상기 상층배선을 형성하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 14

제 12항에 있어서,

상기 공정 (a)에서 상기 국소배선은 비트선과 같은 도체막으로 이루어져, 상기 비트선과 동시에 형성하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 15

제 12항에 있어서,

상기 공정 (a)에서 상기 국소배선은 메모리 트랜지스터의 게이트전극과 같은 도체막으로 이루어져, 상기 게이트전극의 형성과 동시에 형성하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 16

제 12항에 있어서,

상기 공정 (a)에서는 상기 국소배선은 메모리 트랜지스터의 소스 · 드레인영역과 같은 불순물 확산층으로 이루어져, 상기 소스 · 드레인영역의 형성과 동시에 상기 소스 · 드레인영역과는 간격을 두고 형성되는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 17

제 12항에 있어서,

상기 공정 (a)에서는 상기 반도체기판 상에 형성된 제 1 절연막에 메모리셀 트랜지스터의 소스영역에 전기적으로 접속되는 메모리셀 플러그를 형성하는 동시에, 상기 국소배선을 형성하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 18

제 12항에 있어서,

상기 공정 (c)는 상기 하부전극과 간격을 두고, 상기 국소배선의 적어도 일부를 덮는 상기 제 1 도전막으로 이루어지는 더미하부전극을 형성하는 공정을 포함하며,

상기 국소배선과 상기 상부전극 연장부는 상기 더미하부전극을 통해 전기적으로 접속되는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 19

제 18항에 있어서,

상기 공정 (d)에서는 상기 하부전극 및 상기 더미하부전극을 덮는 상기 유전체막을 형성하고,

상기 공정 (e)에서는 상기 유전체막을 덮는 상기 제 2 도체막을 형성하며,

상기 공정 (f) 후, 상기 공정 (g) 전에 상기 상부전극 및 상기 상부전극 연장부를 형성할 때와 같은 에칭 마스크를 이용하여 상기 유전체막을 패터닝하여 용량절연막용 유전체막을 형성하는 공정과, 상기 용량절연막용 유전체막 중 적어도 상기 더미하부전극과 상기 상부전극 연장부와의 사이에 위치하는 부분을 에칭하여 전극간 스페이스를 형성하는 동시에 상기 용량절연막을 형성하는 공정과, 상기 전극간 스페이스 상의 상기 상부전극 연장부를 열처리에 의해 변형시켜, 상기 상부전극 연장부와 상기 더미하부전극을 접속시키는 공정을 추가로 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 20

제 12항에 있어서,

상기 공정 (a) 후, 상기 공정 (b) 전에 상기 국소배선을 포함하는 상기 반도체기판 상에 제 1 절연막을 형성하는 공정 (a4)와, 함께 상기 제 1 절연막을 관통하여 상기 국소배선에 전기적으로 접속하는 제 1 도체플러그 및 제 2 도체플러그를 형성하는 공정(a5)와, 상기 공정 (a5) 후에 상기 반도체기판 상에 단차용 절연막을 형성하는 공정 (a6)과, 상기 단차용 절연막에 상기 기억용량부의 상기 하부전극을 형성하기 위한 제 1 개구부와, 상기 제 1 도체플러그에 접속되는 더미하부전극을 형성하기 위한 제 2 개구부를 형성하는 공정 (a7)을 추가로 포함하며,

상기 공정 (c)에서는 상기 제 1 개구부의 측면 및 저면 상에 상기 하부전극을 형성하는 동시에, 상기 제 2 개구부의 측면 및 저면 상에 상기 더미하부전극을 형성하고,

상기 공정 (f)에서는 상기 상부전극 연장부가 상기 더미하부전극의 적어도 일부를 덮도록 형성하며,

상기 공정 (g)에서는 상기 반도체기판 상에 제 2 절연막을 형성한 후, 상기 제 2 절연막 및 상기 단차용 절연막에 상기 제 2 도체플러그까지 도달하는 배선패설용 트렌치를 형성하고, 상기 트렌치에 도전막을 패설하여 상기 상층배선을 형성하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 21

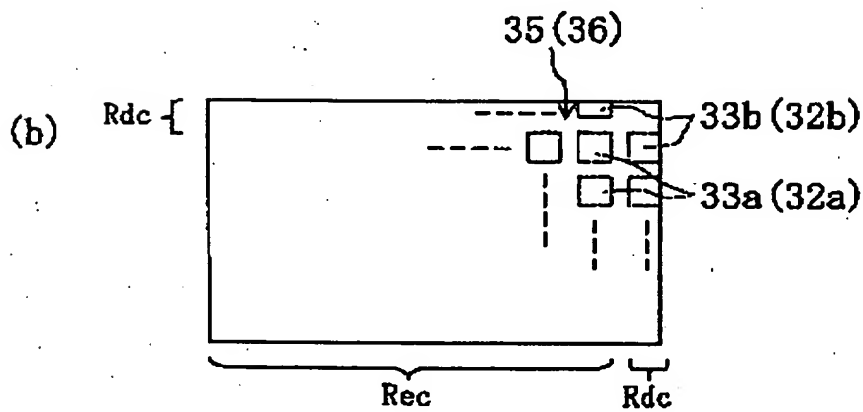
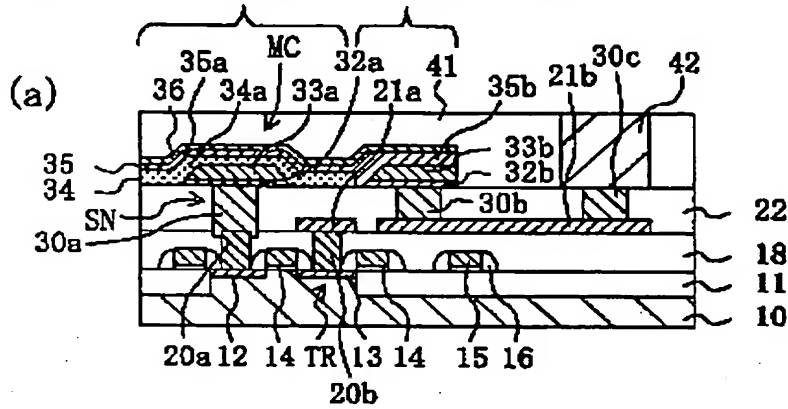
제 12항 내지 20항 중 어느 한 항에 있어서,

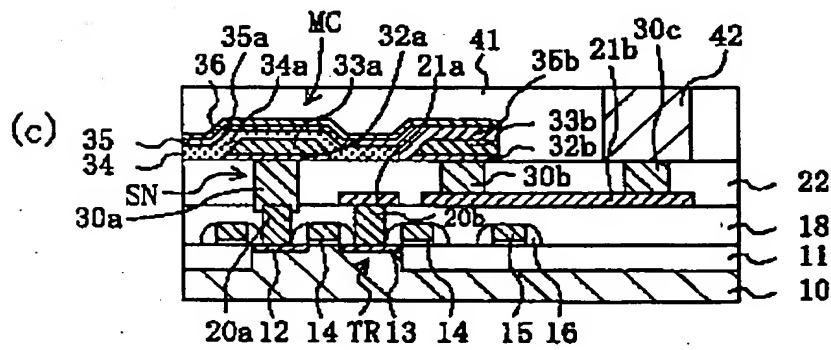
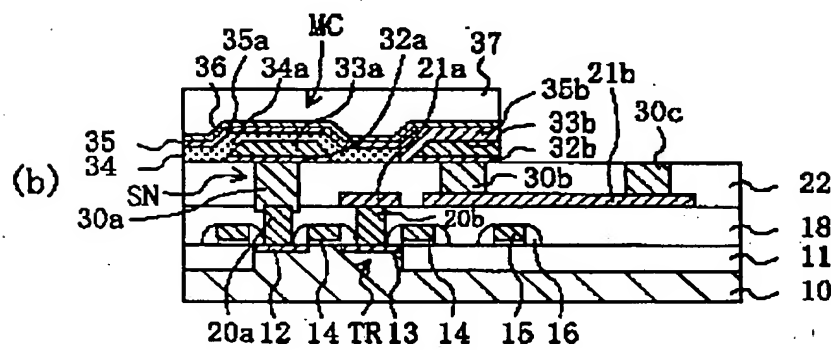
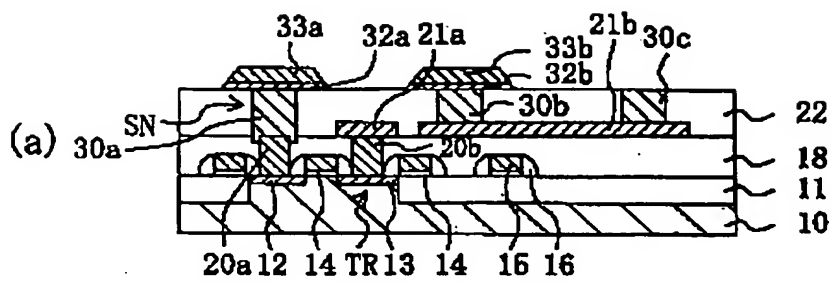
상기 유전체막은 고유전체막 또는 강유전체막인 것을 특징으로 하는 반도체기억장치의 제조방법.

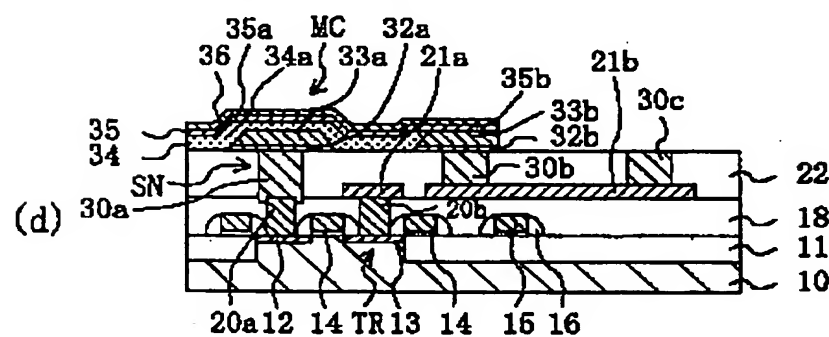
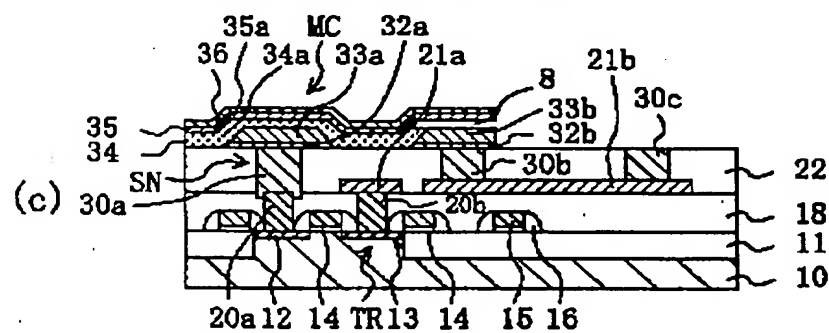
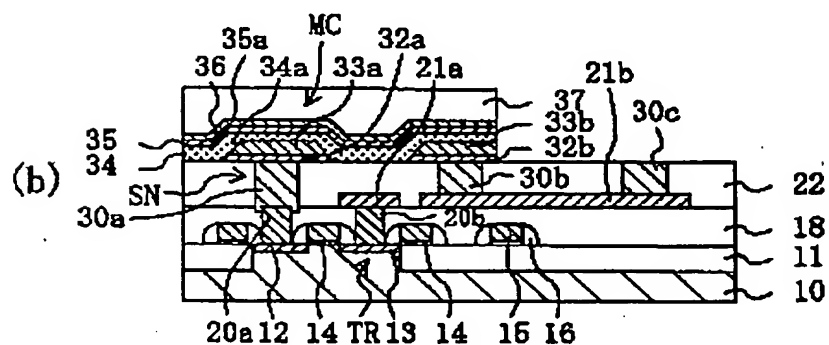
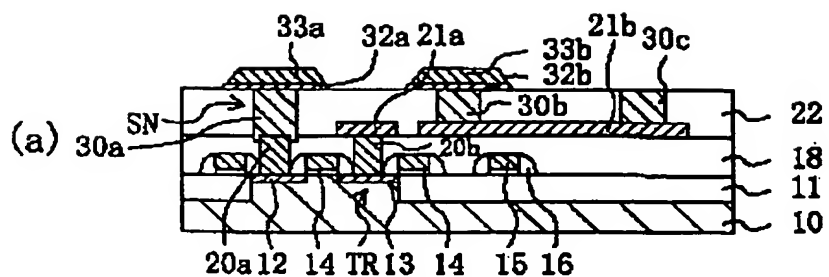
도면

도면1

유효 메모리셀영역(Rec) 더미셀영역(Rdc)

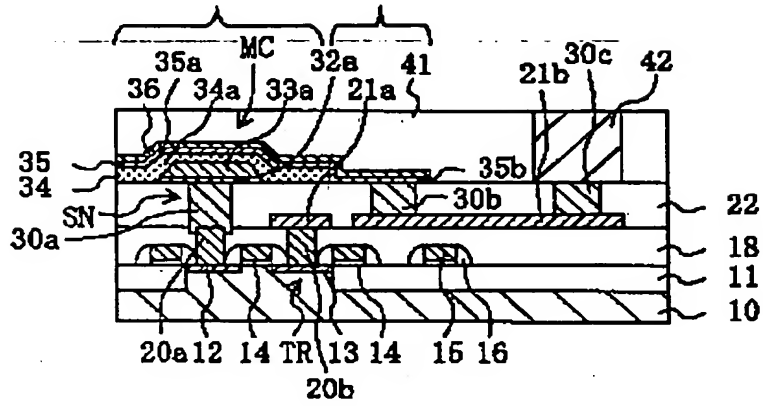




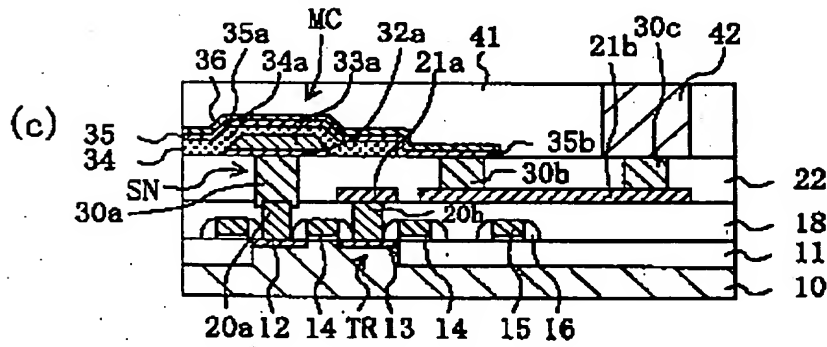
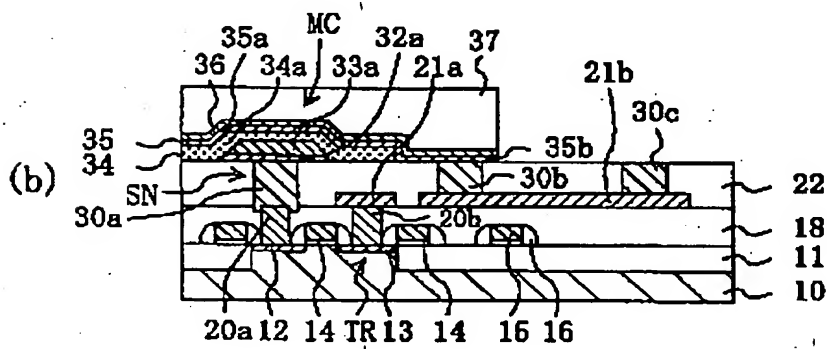
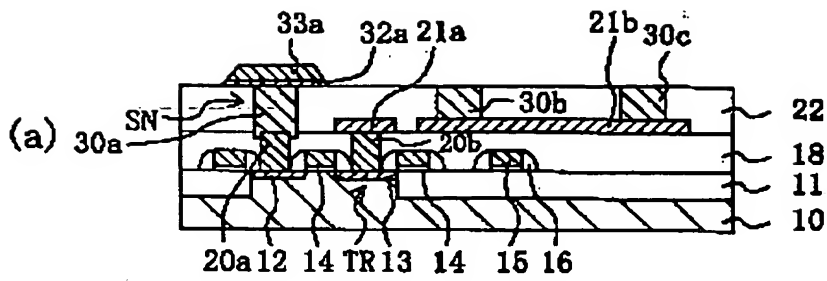


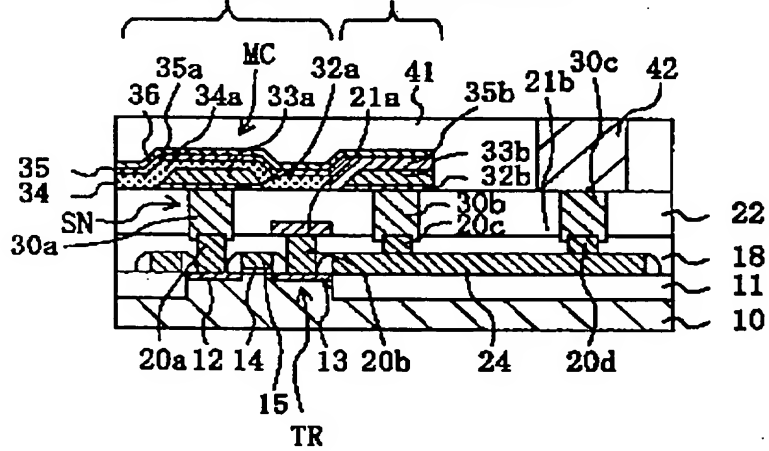
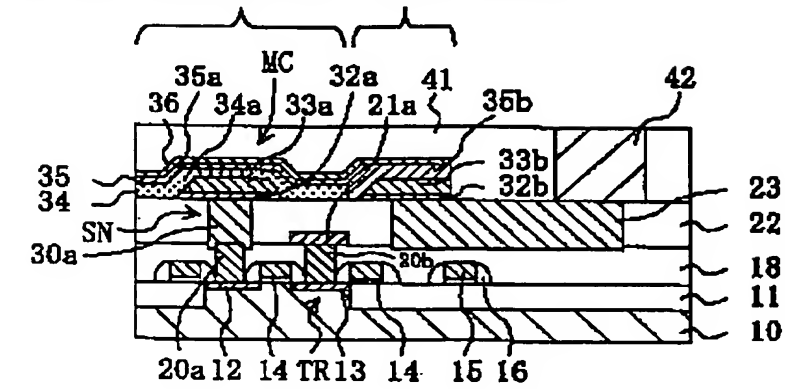
도면4

유효 메모리셀영역(Rec) 더미셀영역(Rdc)



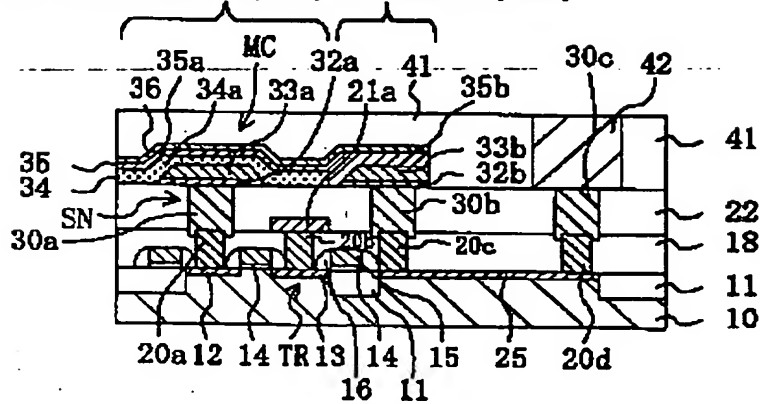
도 5





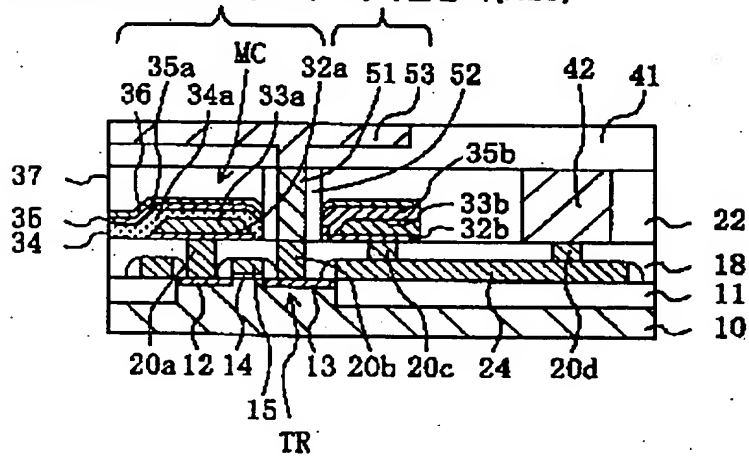
도 18

유효 메모리셀영역(Rec) 더미셀영역(Rdc)

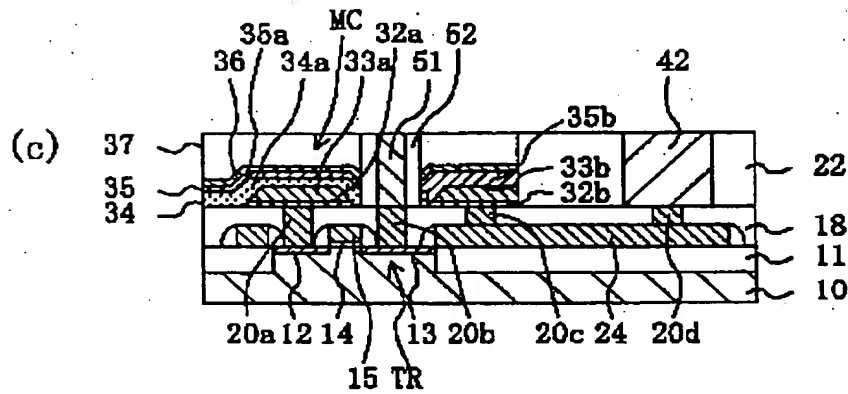
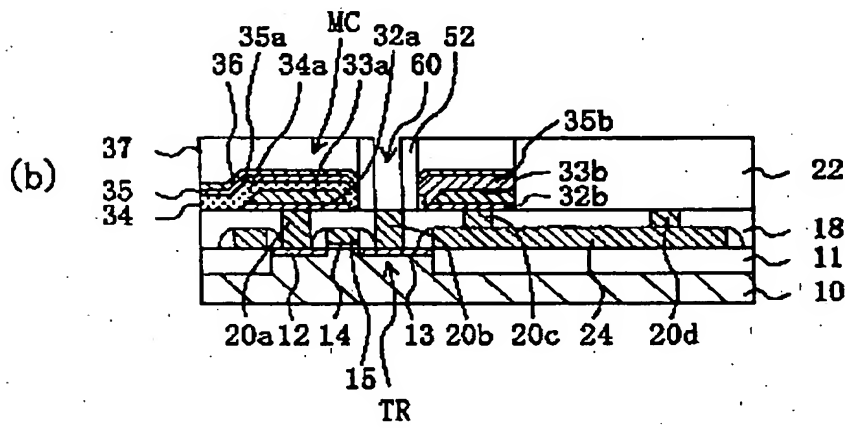
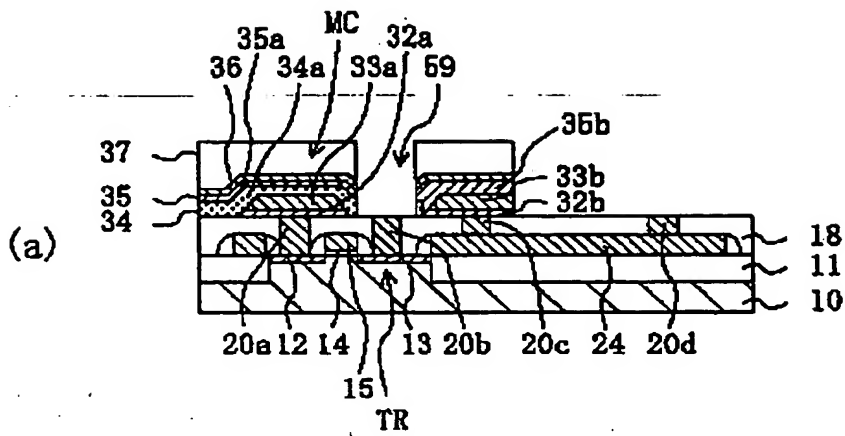


도 19

유효 메모리셀영역(Rec) 더미셀영역(Rdc)

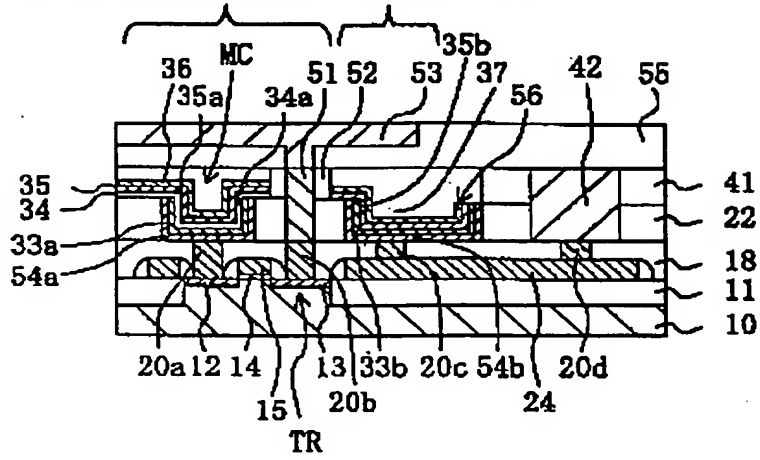


도면 10



도면 11

유효 메모리셀영역(Rec) 더미셀영역(Rdc)



도면 12

유료 메모리셀영역(Rec) 더미셀영역(Rdc)

